

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-252344

(43)Date of publication of application : 06.09.2002

(51)Int.Cl.

H01L 29/737
H01L 21/331
H01L 21/28
H01L 27/04
H01L 21/822
H01L 21/8222
H01L 27/06
H01L 29/41
H01P 1/00

(21)Application number : 2001-047545

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.02.2001

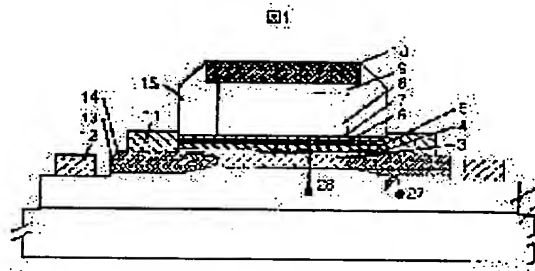
(72)Inventor : MOCHIZUKI KAZUHIRO
OKA TORU
OBE ISAO
YAMASHITA KIICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a collector-size dependence of a current amplification factor, in a collector-top HBT.

SOLUTION: A base electrode 11, in a collector top heterojunction bipolar transistor is brought into contact with the side plane of a base layer 5 which has not been subjected to ion implantation and with the front surface of a high resistance parasitic emitter region 14, which has been subjected to the ion implantation.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A semiconductor device, wherein it has a collector top heterojunction bipolar transistor, and a base layer has not covered all the high resistance parasitism emitter regions, and a base electrode exists on the above-mentioned high resistance parasitism emitter region and is electrically connected with the side of the above-mentioned base layer.

[Claim 2]The semiconductor device according to claim 1, wherein the above-mentioned base electrode is electrically connected with the upper surface of the above-mentioned base layer.

[Claim 3]The semiconductor device according to claim 1 or 2, wherein the above-mentioned high resistance parasitism emitter region contains at least one kind of element among helium, beryllium, boron, carbon, nitrogen, oxygen, fluoride, and neon.

[Claim 4]A single crystal semiconductor substrate.

A sub emitter layer which is formed on this board and consists of an n type compound semiconductor.

An emitter layer which forbidden-band width is larger than a compound semiconductor which is formed on this sub emitter layer and forms this sub emitter layer, and consists of an n type compound semiconductor.

A base layer which forbidden-band width is smaller than a compound semiconductor which is formed on this emitter layer and forms this emitter layer, and consists of p type compound semiconductors.

Forbidden-band width equivalent to a compound semiconductor which is formed on this base layer and forms this base layer.

Are the semiconductor device provided with the above and the above-mentioned base electrode is formed in contact with the side of the above-mentioned base layer, and the surface of the above-mentioned emitter layer, A field where the above-mentioned base electrode touches at least among the above-mentioned emitter layers contains at least one kind of element among helium, beryllium, boron, carbon, nitrogen, oxygen, fluoride, and neon.

[Claim 5]The semiconductor device according to claim 4, wherein distance from a mesa end of the above-mentioned collector to the above-mentioned base layer side is 0.5 micrometer or less and distance of a direction which connects the above-mentioned collector mesa end and the above-mentioned base layer side of the above-mentioned base electrode which exists on the above-mentioned base layer is 0.3 micrometer or less.

[Claim 6]The semiconductor device according to claim 4 or 5 with which the above-mentioned single crystal semiconductor substrate is GaAs, and the above-mentioned sub emitter layer is characterized by laminating an InGaAsN layer and a GaAs layer from the above-mentioned GaAs single crystal semiconductor substrate side.

[Claim 7]The above-mentioned bipolar transistor has a collector finger, and an interval of this collector finger is not less than 2 micrometers 10 micrometers or less, and an emitter electrode, The semiconductor device according to any one of claims 1 to 6 characterized by being formed on a field of an opposite hand with a field of a single crystal semiconductor substrate of the above-mentioned bipolar transistor in which the above-mentioned base electrode was formed.

[Claim 8]The semiconductor device according to claim 7 characterized by a thing from which the above-mentioned collector finger was insulated electrically [this collector finger], and which circular or is arranged to a field inside a rectangular doughnut shape straw-man collector electrode.

[Claim 9]On a single crystal semiconductor substrate.

Two or more amplifiers formed on this single crystal semiconductor substrate.

An interstage matching circuit which connects between these amplifiers.

Are the monolithic microwave integrated circuit provided with the above, and the above-mentioned amplifier comprises a collector top heterojunction bipolar transistor of the semiconductor device according to any one of claims 1 to 8, Thickness of the above-mentioned single crystal semiconductor substrate of a field in which the above-mentioned interstage matching circuit of an input side of an output stage transistor of the above-mentioned amplifier was formed is characterized by being thicker than thickness of the above-mentioned single crystal semiconductor substrate of a field in which the above-mentioned output stage transistor was formed.

[Claim 10]A power amplifier module having the monolithic microwave integrated circuit according to claim 9.

[Claim 11]A mobile transmitter having the power amplifier module according to claim 10.

[Claim 12]A millimeter wave belt amplifier module having the monolithic microwave integrated circuit according to claim 9.

[Claim 13]A process of growing up an emitter layer which consists of an n type compound semiconductor on a

single crystal semiconductor substrate. A process of growing up a base layer which consists of a p type compound semiconductor whose forbidden-band width is smaller than a compound semiconductor which forms this emitter layer on this emitter layer. A manufacturing method of a collector top heterojunction bipolar transistor having a process of processing shape of a request of this base layer, and the process of forming a high resistance parasitism emitter region in a field which this base layer does not cover among these emitter layers by ion implantation.

[Claim 14] A manufacturing method of the collector top heterojunction bipolar transistor according to claim 13, wherein the above-mentioned ion implantation drives in ion of at least one kind of element among helium, beryllium, boron, carbon, nitrogen, oxygen, fluoride, and neon.

[Claim 15] A manufacturing method of the collector top heterojunction bipolar transistor according to claim 13 or 14 characterized by, as for the above-mentioned single crystal semiconductor, GaAs's becoming, and InGaP or AlGaAs, and the above-mentioned base layer consisting of GaAs(es), as for the above-mentioned emitter layer.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the semiconductor device which used the collector top heterojunction bipolar transistor, especially a power amplifier with high power conversion efficiency.

[0002]

[Description of the Prior Art]In recent years, research and development of the power amplifier used for a transmitter are briskly done with the rapid growth of the demand of mobile transmitters. For example, the power amplifier using the heterojunction bipolar transistor (HBT:Heterojunction Bipolar Transistor) as a semiconductor device of a power amplifier is indicated to JP,10-135750,A.

[0003]

[Problem(s) to be Solved by the Invention]As an example of a power amplifier, the circuit diagram of the monolithic-microwave-integrated-circuit-ized two-step amplifier is shown in drawing 23. The output matching circuit whose input matching circuit which is a circuit which decides an input impedance to be an input in drawing 23 is a circuit which decides output impedance to be an output is connected. (not shown [all] all over the circuit diagram 23, in order to form all by an external passive component out of an integrated circuit) In order to raise the power conversion efficiency of a power amplifier like drawing 23, (1) Raising the power conversion efficiency of driver stage HBT and output stage HBT and reducing-power consumption in (2) bias circuits ** are indispensable.

It is effective to reduce the knee voltage (the minimum collector emitter voltage in the maximum collector current of operation) of HBT to (1). The knee voltage of HBT is determined from offset voltage (collector to emitter voltage from which collector current serves as zero), emitter resistance, and collector resistance. The offset voltage of HBT rather than emitter top HBT which formed the emitter in the surface side. It is known that the collector top HBT which formed the collector in the surface side is lower, collector top HBT with low offset voltage — electronics Letters — it is indicated by the 265th page (2000) (Electronics Letters Vol.36 No.3 pp.264-265 (2000)) from the 264th page of the 3 volume [36th] No.

To (2), it becomes important to maintain suitable current gain. The power consumption of a bias circuit becomes so low that the current gain of driver stage HBT and output stage HBT is high. However, the high current gain, for example exceeding 70 thru/or 100 leads to the fall of pressure-proofing between collector emitters, and causes the reliability deterioration of a power amplifier. Therefore, as current gain of driver stage HBT and output stage HBT, about 50 are desirable. However, when the conventional collector top HBT (drawing 31) is adopted to the above (1), even if about 50 current gain is obtained in large area HBT whose collector size is a 100x100-micrometer² grade, There was a problem on which current gain is [HBT with small collector size used as a transistor finger of a power amplifier, for example, collector size,] less than 10 in HBT of 2x20 micrometer² (drawing 32). For this reason, even if the power conversion efficiency of driver stage HBT and output stage HBT improves with adoption of collector top HBT, as a result of the power consumption of a bias circuit increasing, the power conversion efficiency of the whole power amplifier had a problem not improving. The purpose of this invention is to reduce the collector size dependency of the current gain in collector top HBT.

[0004]

[Means for Solving the Problem]A base layer of a collector top heterojunction bipolar transistor is kept from covering all the high resistance parasitism emitter regions, and the above-mentioned purpose can attain it by making a base electrode exist on a high resistance parasitism emitter region, and making it electrically connect with the side of a base layer. A process the above-mentioned purpose grows up an emitter layer which consists of an n type compound semiconductor on a single crystal semiconductor substrate to be, A process of growing up a base layer which consists of a p type compound semiconductor whose forbidden-band width is smaller than a compound semiconductor which forms an emitter layer on this emitter layer, It can attain with a manufacturing method of a collector top heterojunction bipolar transistor which has a process of processing shape of a request of this base layer, and the process of forming a high resistance parasitism emitter region in a field which a base layer does not cover among emitter layers by ion implantation.

[0005]

[Embodiment of the Invention]When producing collector top HBT, in order to control the base current which flows through parasitism emitter base junction, Conventionally, ion implantation, such as helium, beryllium, boron, carbon, nitrogen, oxygen, fluoride, and neon, was made by the mask over the external base region in the parasitism emitter region in a collector electrode and collector mesa, and the parasitism emitter region has been high-resistance-ized.

Under the present circumstances, in order for the current gain of collector top HBT to exceed 1, emitter base junction area needs to become smaller than base collector junction area. As opposed to the reduction amount of collector mesa being about 0.3 micrometer to a collector electrode, The distance which the crystal defect generated on the usual ion implantation conditions diffuses to a transverse direction in a collector top HBT making process is 0.3 micrometer to about 0.5 micrometer, and the relation that emitter base junction area was smaller than base collector junction area was filled. However, attention was not paid to that the transverse direction nuclear proliferation of the above-mentioned crystal defect has occurred not only the inside of an emitter layer but in a base layer until now. Then, first, collector top HBT by conventional technology was produced, and the collector size dependency of base current was investigated. if a career recombines via the crystal defect in an emitter depletion layer — an ideal factor n value (it is $A_{exp} (qV/nkT)$ (A : — a proportionality coefficient.) about current) q : The amount of elementary charge, V : voltage, k : Boltzmann constant, T : the value of n when expressed the absolute temperature should be set to 2, and it should be set to $n = 1$ if the recombination current through the defect in a base neutral region rules over. As a result of producing collector top HBT by the conventional technology actually shown in drawing 31 and analyzing the collector current dependency of base current, the ideal factor n value was 1.0. The collector size dependency of the collector top HBT current gain by the conventional technology shown in drawing 31 became clear [mainly originating in the crystal defect in a base layer] from this.

[0006] This invention performs ion implantation, without passing an external base region, and is characterized by forming a base electrode ranging over the low resistance base layer by which ion implantation is not made, and the high resistance parasitism emitter region where ion implantation was made.

[0007] Example 1 drawing 1 is vertical section structural drawing of collector top HBT used for the power amplifier which is the 1st example of this invention. the semi insulating GaAs substrate 1 top — a high dope n type GaAs sub emitter layer (Si-concentration $5 \times 10^{18} \text{ cm}^{-3}$.) 0.8 micrometer² of thickness, and a n type InGaP emitter layer (the InP mole ratio 0.5 and Si-concentration $5 \times 10^{17} \text{ cm}^{-3}$.) 0.2 micrometer³ of thickness, undoped GaAs spacer layer (5 nm of thickness) 4, and a p type GaAs base layer (C concentration $3 \times 10^{19} \text{ cm}^{-3}$.) thickness 70nm⁵, undoped GaAs spacer layer (20 nm of thickness) 6, and a n type InGaP etch stopping layer (the InP mole ratio 0.5 and Si-concentration $3 \times 10^{17} \text{ cm}^{-3}$.) thickness 5nm⁷ and a n type GaAs collector layer (Si-concentration $3 \times 10^{16} \text{ cm}^{-3}$.) In 0.8 micrometer of thickness, 8 and the n type InGaAs cap layer (the InAs mole ratio 0.5, Si-concentration $1 \times 10^{19} \text{ cm}^{-3}$, 0.2 micrometer of thickness) 9 exist, and the collector electrode 10 and the base electrode 11 are formed in self align via the SiO_2 side attachment wall 15. On the other hand, the emitter electrode 12 is formed in non-self consistency to base mesa. Here in the transistor parasitism field (fields other than the transistor intrinsic region of collector-electrode 10 directly under) in the emitter layer 3 and the sub emitter layer 2. The high resistance InGaP parasitism emitter region 14 and the high resistance GaAs parasitism sub emitter region 13 where boron ion was driven in existed, and the base current (electron flow 16 in drawing 1) which flows through parasitism emitter base junction is controlled. As ion to drive in, in addition to boron, even if it is any of helium, beryllium, carbon, nitrogen, oxygen, fluoride, and neon, the high resistance-ized fields 13 and 14 are formed similarly. The current gain of collector top HBT of collector size ² of 2x20 micrometers in this example was 55. The collector size dependency of the current gain which those of this value is the same as the current gain of collector size ² of 100x100 micrometers, and had become a problem by conventional technology has been controlled (drawing 17). Then, with reference to drawing 10, the manufacturing method of collector top HBT shown in drawing 1 is explained from drawing 2. First, an organic metal vapor phase epitaxy method or molecular beam epitaxy method is used on the semi insulating GaAs substrate 1, The high dope n type GaAs sub emitter layer 2, n type InGaP emitter layer 3, undoped GaAs spacer layer 4, p type GaAs base layer 5, undoped GaAs spacer layer 6, the n type InGaP etch stopping layer 7, the n type GaAs collector layer 8, The n type InGaAs cap layer 9 was grown epitaxially one by one. Although the n type InGaP etch stopping layer 7 controls the hole injection from a base to a collector and it has a reduction effect of offset voltage here, it is not an indispensable layer on operation of collector top HBT. Then, WSi (the Si mole ratio 0.3, 0.3 micrometer of thickness) was deposited on the entire wafer surface using the high frequency sputtering technique, and the collector electrode 10 was formed by photo lithography and the dry etching using CF_4 . And the wet etching using the mixed liquor of dry etching and phosphoric acid, hydrogen peroxide, and water which used SF_6 and SiCl_4 for the mask for the n type InGaAs cap layer 9 and the n type GaAs collector layer 8 removed the collector electrode 10. Under the present circumstances, the n type InGaP etch stopping layer 7 was not etched by the wet etching which used the mixed liquor of phosphoric acid, hydrogen peroxide, and water, but the surface of the n type InGaP etch stopping layer 7 was exposed (drawing 2). Then, using pyrolysis modified chemical vapor deposition, the SiO_2 film (400 nm of thickness) was deposited at 390 **, and the SiO_2 side attachment wall 15 was processed by the dry etching using C_2F_6 and CHF_3 . Then, the collector electrode 10 and the SiO_2 side attachment wall 15 on a mask. The hydrochloric acid aqueous solution removed the n type InGaP etch stopping layer 7, the wet etching using the mixed liquor of phosphoric acid, hydrogen peroxide, and water removed undoped GaAs spacer layer 6 and p type GaAs base layer 5, and the n type InGaP emitter layer 3 surface was exposed (drawing 3). And the boron ion 51 was driven into the whole surface at the room temperature on condition of accelerating energy 50keV, zero incidence angle, and amount of Dors $2 \times 10^{12} \text{ cm}^{-2}$. Under the present circumstances, the crystal defect formed of ion implantation was diffused in the transverse direction, and the high resistance InGaP parasitism emitter region 14 and the high resistance GaAs parasitism sub emitter region 13 spread

in the transverse direction (drawing 4). This spread width spread further like the heat process in a subsequent manufacturing process, and was estimated at 0.3 to about 0.5 micrometer from the collector mesa size dependency of collector current after element making process completion. Then, base-electrode Pt (20 nm) / Ti (50 nm) / Pt(50 nm)/Au (200 nm) / Mo(20 nm) 11 are formed by the lift-off method using electron beam evaporation, A 0.6-micrometer interval was set to collector mesa, and the photoresist pattern 16 of height equal to the collector mesa containing a collector electrode was produced by photo lithography (drawing 5). And flattening of the whole wafer was carried out by the photoresist 17 of 2 micrometers of thickness (drawing 6). Next, by the dry etching using CF₄ and oxygen, etchback of the photoresists 17 and 16 was carried out, and the base electrode 11 deposited on the collector electrode 10 was exposed (drawing 7). And after removing an unnecessary base electrode among the base electrodes 11 using ion milling, the photoresist was removed using the plasma of the mixed gas of CF₄, O₂, and N₂ (drawing 8).

[0008] Then, photo lithography, a hydrochloric acid aqueous solution and phosphoric acid, hydrogen peroxide, Using the wet etching using the mixed liquor of water, the high resistance InGaP parasitism emitter region 14 and the high resistance GaAs parasitism sub emitter region 13 were removed, and the low resistance n type GaAs sub emitter layer 2 was exposed (drawing 9). Then, the emitter electrode 12 which consists of AuGe (60 nm of thickness) / nickel (10 nm of thickness) / Au (300 nm of thickness) was formed by the lift-off method, and the alloy was carried out for 10 minutes at 410 °C among a nitrogen atmosphere (drawing 10). And by removing the n type GaAs sub emitter layer 2 using the wet etching using the mixed liquor of photo lithography and phosphoric acid, hydrogen peroxide, and water, Separation between elements was performed, collector top HBT shown in drawing 1 was produced, and, finally required wiring was performed to the collector electrode 10, the base electrode 11, and the emitter electrode 12 (not shown). According to this example, the lateral dispersion of the crystal defect resulting from ion implantation happens only by n type InGaP emitter layer 3 and the high dope n type GaAs sub emitter layer 2, and does not carry out lateral dispersion into p type GaAs base layer 5. Therefore, the collector size dependency of the current gain resulting from the carrier recombination in the collector top HBT base neutral region which had become a problem by conventional technology can be controlled. Therefore, as a result of the base current which flows into a base bias circuit reducing detailed collector top HBT by this example in plurality and the power amplifier which carried out multiple connection and was constituted, the power consumption in a base bias circuit decreases, and it is effective in the power conversion efficiency of a power amplifier improving. For example, a with a frequency of 880 to 915 MHz GMSK (Gaussian Filtered Minimum Shift Keying) modulated wave is received, With the power amplifier using collector top HBT by this invention, 73% and a value high 4% were obtained to having been 69% in the case of the power amplifier using collector top HBT according [the power adding efficiency in 35 dBm] to conventional technology in the output power at the power supply voltage 3.5V and the temperature of 25 °C. Although InGaP was used for the emitter layer in this example, lattice matching is carried out to GaAs substrates 1, such as AlGaAs, and if it is material with bigger forbidden-band width than GaAs which is a base layer, of course, there is the same effect as this example.

[0009] Example 2 drawing 11 is vertical section structural drawing of collector top HBT used for the power amplifier which is the 2nd example of this invention. Example 1 — the same — the semi insulating GaAs substrate 1 top — a high dope n type GaAs sub emitter layer (Si-concentration $5 \times 10^{18} \text{ cm}^{-3}$) 0.8 micrometer of thickness, and a n type InGaP emitter layer (the InP mole ratio 0.5 and Si-concentration $5 \times 10^{17} \text{ cm}^{-3}$) 0.2 micrometer of thickness, undoped GaAs spacer layer (5 nm of thickness) 4, and a p type GaAs base layer (C concentration $3 \times 10^{19} \text{ cm}^{-3}$) thickness 70nm, undoped GaAs spacer layer (20 nm of thickness) 6, and a n type InGaP etch stopping layer (the InP mole ratio 0.5 and Si-concentration $3 \times 10^{17} \text{ cm}^{-3}$) Although 7, the n type GaAs collector layer (Si-concentration $3 \times 10^{16} \text{ cm}^{-3}$, 0.8 micrometer of thickness) 8, and the n type InGaAs cap layer (the InAs mole ratio 0.5, Si-concentration $1 \times 10^{19} \text{ cm}^{-3}$, 0.2 micrometer of thickness) 9 exist in 5 nm of thickness, Unlike Example 1, it does not have the SiO₂ side attachment wall. The base electrode 11 is formed in self align to the collector electrode 10 using ANDAKATTO of collector mesa. The emitter electrode 12 is formed in non-self consistency to base mesa like Example 1, In the transistor parasitism field (fields other than the transistor intrinsic region of collector-electrode 10 directly under) in the emitter layer 3 and the sub emitter layer 2. The high resistance InGaP parasitism emitter region 14 and the high resistance GaAs parasitism sub emitter region 13 where boron ion was driven in existed, and the base current (electron flow 16 in drawing 1) which flows through parasitism emitter base junction is controlled. As ion to drive in, in addition to boron, even if it is any of helium, beryllium, carbon, nitrogen, oxygen, fluoride, and neon, the high resistance-ized fields 13 and 14 are formed similarly. The base electrode 11 differs in the point currently formed not only in contact with the high resistance InGaP parasitism emitter region 14 but in contact with the upper surface of p type GaAs base layer 5 from Example 1. The width a to which the base electrode 11 touches the upper surface of the base layer 5 is constituted so that it may be 0.3 micrometer or less and the distance b from a collector mesa end to the base layer side may be 0.5 micrometer or less. The current gain of collector top HBT of collector size ² of 2x20 micrometers in this example 55, It not only has controlled the collector size dependency of current gain, but the base resistance in collector top HBT of collector size ² of 2x20 micrometers is low stopped with 10 ohms by this example to 40 ohms of Example 1 like Example 1. Even if a exceeds 0.3 micrometer, the reduction of base resistance may not be in the range of acceptor concentration (1-6) $\times 10^{19} \text{ cm}^{-3}$ usually used for the base layer of HBT, and 0.3 micrometer or less in value may be sufficient as a. The maximum is prescribed by the distance in which the crystal defect formed during ion implantation carries out lateral dispersion

into a subsequent element manufacturing process, current gain becomes less than one and b is not suitable for practical use, as a result of emitter base junction area's becoming larger than base collector junction area, if b is too large. If the maximum temperature usually used for a GaAs system compound semiconductor manufacturing process takes into consideration that the maximum retention time is about 410 ** and the temperature of those is about 30 minutes, b needs to be 0.5 micrometer or less. Then, with reference to drawing 16, the manufacturing method of collector top HBT shown in drawing 11 is explained from drawing 12. Formation to the formation of the high resistance InGaP parasitism emitter region 14 by placing of boron ion etc. and the high resistance GaAs parasitism sub emitter region 13 of a collector electrode is the same as that of the manufacturing process shown in drawing 4 from drawing 2 of Example 1. Buffer fluoric acid removed the SiO₂ side attachment wall 15 used as some masks of ion implantation after the ion implantation process (drawing 12). And the base electrode 11 was formed by the lift-off method. Under the present circumstances, the result of having formed metal Pt (20 nm) / Ti (50 nm) / Pt(50 nm)/Au (200 nm) / Mo for base electrodes (20 nm) by directive electron beam evaporation, It dissociated and the portion deposited on the collector electrode (0.3 micrometer of WSi film thickness) 11 and the portion deposited on the n type InGaP etch stopping layer 7 surface and the high resistance InGaP parasitism emitter region 14 were formed in [the collector electrode 10 and the base electrode 11] self align (drawing 13). And an alloy is carried out for 10 minutes at 410 ** among a nitrogen atmosphere, the sinter of the Pt is carried out through the n type InGaP etch stopping layer 7 and undoped GaAs spacer layer 6, and the base electrode was made to carry out direct contact to the base layer 5 (drawing 14). Then, photo lithography, a hydrochloric acid aqueous solution and phosphoric acid, hydrogen peroxide, Using the wet etching using the mixed liquor of water, the high resistance InGaP parasitism emitter region 14 and the high resistance GaAs parasitism sub emitter region 13 were removed, and the low resistance n type GaAs sub emitter layer 2 was exposed (drawing 15). Then, the emitter electrode 12 which consists of AuGe (60 nm of thickness) / nickel (10 nm of thickness) / Au (300 nm of thickness) was formed by the lift-off method, and the alloy was carried out for 10 minutes at 410 ** among a nitrogen atmosphere (drawing 16). And by removing the n type GaAs sub emitter layer 2 using the wet etching using the mixed liquor of photo lithography and phosphoric acid, hydrogen peroxide, and water, Separation between elements was performed, collector top HBT shown in drawing 11 was produced, and, finally required wiring was performed to the collector electrode 10, the base electrode 11, and the emitter electrode 12 (not shown). As a result of being able to form a base electrode in the low resistance external base layer surface on which ion implantation is not made according to this example, low collector top HBT of base resistance is realizable. Therefore, it is effective in power gain improving in addition to the feature which stated detailed collector top HBT by this example in Example 1 in plurality and the power amplifier which carried out multiple connection and was constituted. For example, the output power at the power supply voltage 3.5V and the temperature of 25 ** to a with a frequency of 880 to 915 MHz GMSK modulated wave the power gain in 35 dBm, With the power amplifier using collector top HBT by this invention, 16 dB and a value high 3 dB were obtained to having been 13 dB in the case of the power amplifier using collector top HBT by conventional technology.

[0010]Example 3 drawing 17 is vertical section structural drawing of a collector top HBT finger sequence used for the power amplifier which is the 3rd example of this invention. Collector top HBT shown in Example 1 was used for each transistor. Although the wet etching of GaAs was used for separation between elements in Example 1, in order to reduce unevenness of a specimen surface, the isolation region 18 between high resistance GaAs elements which used ion implantation, such as boron, is formed by this example. The wiring 20 is collector wiring for an output which connects each collector electrode. The interval c of each collector finger is not less than 2 micrometers 10 micrometers or less, and it is the feature of this example that the emitter electrode 21 is formed in the field where the collector electrode 10 and the base electrode 11 are opposite to the semi insulating GaAs substrate 1. The structure of drawing 17 carries out lamination of the semi insulating GaAs substrate 1 of 600 micrometers of thickness even to 80 micrometers by mechanical polishing after formation of the isolation region 18 between elements, It doubles with the surface side pattern of the semi insulating GaAs substrate 1 using the contact aligner for double-sided doubling. The semi insulating GaAs substrate 1 rear-face radiating hole pattern directly under a transistor was formed by the wet etching using the mixed liquor of the dry etching and sulfuric acid, hydrogen peroxide, and water using photo lithography, SF₆, and SiCl₄. And the emitter rear-face alloy electrode 21 which consists of AuGe (60 nm of thickness) / nickel (10 nm of thickness) / Au (4 micrometers of thickness) was formed in the whole rear face of lamination GaAs substrate 1, and the alloy was carried out for 30 minutes at 350 ** among a nitrogen atmosphere. Since generation of heat at the time of operation of collector top HBT not only can pass the surface side collector wiring metal 20 of GaAs substrate 1, but it can miss via the rear-face side emitter electrode 21 of GaAs substrate 1 according to this example, As a result of avoiding thermal run-away and packing the collector finger interval c, the value of c which was conventionally required not less than 20 micrometers is made to 10 micrometers or less, and area of the semiconductor chip containing collector top HBT can be made small even to the half grade of conventional technology. Thereby, in this example, it is effective in a low cost power amplifier being realizable.

[0011]In this example, 2 micrometers of minimums were set as c in order to avoid that a base electrode with a width of about 1 micrometer which accompanies adjacent collector mesa contacts. Although collector top HBT of the example 1 statement was used in this example, even if it uses collector top HBT of example 2 statement, it can carry out similarly, and, of course, there is same effect.

Example 4 drawing 18 is vertical section structural drawing of a collector top HBT finger sequence used for the power amplifier which is the 4th example of this invention. Collector top HBT shown in Example 3 was used for each

transistor. Although excelled in the radiation effect from directly under [transistor], in Example 3 After forming an emitter rear-face alloy electrode, the time of starting a collector top HBT chip by a scribe — A-A of drawing 17 — in the thin field of all the thickness which already carried out AB-B ** no **, mechanical breakage arose and there was a problem on which the manufacturing yield of a collector top HBT chip is dropped. In this example, two or more collector fingers have been arranged to the field inside the rectangle or the circular doughnut shape straw-man collector electrode insulated electrically [this collector finger]. according to this example — the favor of the existence of straw-man collector-electrode structure — A-A **** a-B ** fu of drawing 17 — since [like] a weak thin film region does not exist mechanically, a manufacturing yield is high and it is effective in the power amplifier excellent in reliability being realizable. Although drawing 17 is illustrated based on the collector top HBT structure of example 1 statement, also with the collector top HBT structure of example 2 statement, it can carry out similarly and, of course, there is same effect. The planar structure figure at the time of using a rectangle straw-man collector for drawing 19, and using a circular straw-man collector for drawing 20 was shown. The collector contact hole is not provided in the straw-man collector electrode 22 to the collector contact hole 23 for electrically connecting the collector electrode 10 and the collector wiring metal 20 to the collector mesa operated as a transistor being formed. Although there is generating of parasitism base collector capacitance between the collector wiring metal 20 and the straw-man collector electrode 22, for example in the collector finger of 2×20 -micrometer². If six or more fingers per doughnut shape straw-man collector electrode are arranged, The above-mentioned parasitism base collector capacitance can be disregarded now or less [of the true base layer collector capacitance of a transistor] with $1/10$, and there is no practical problem about application to the power amplifier of collector top HBT shown in this example. While there is an advantage in intensity in which the more nearly circular one is stronger than a rectangle about the shape of a doughnut shape straw-man collector electrode, rectangular one is suitable for making the number of collector fingers in a doughnut shape straw-man collector electrode increase. Therefore, in giving priority to the manufacturing yield of a collector top HBT chip, when it gives priority to reduction of a circular doughnut shape straw-man collector and a collector top HBT chip area, a rectangle doughnut shape straw-man collector should just choose. The result of having examined experimentally the mechanical strength of the rectangle doughnut shape straw-man collector-electrode structure at the time of using GaAs substrate 1, The number of the collector fingers which can be arranged in one rectangle doughnut shape straw-man collector electrode was a maximum of 16, when collector size was 2×20 -micrometer². What is necessary is just to arrange two or more rectangle doughnut shape straw-man collector-electrode structures which have arranged the collector finger in the semiconductor device which requires the number of collector fingers beyond it. As for the interval of the viewpoint of a mechanical strength to each rectangle doughnut shape straw-man collector electrode, in that case, it is desirable that beyond the maximum thickness (in case of this example 80 micrometers) grade of a GaAs substrate provides.

Example 5 drawing 21 is vertical section structural drawing of a collector top HBT finger sequence used for the power amplifier which is the 5th example of this invention. Collector top HBT (drawing 18) shown in Example 4 was used for each transistor. in drawing 18, the rear-face emitter electrode by which picture formation is carried out at GaAs substrate 1 is an alloy electrode containing AuGe — a ratio with the high dope n type GaAs sub emitter layer 2 — contact resistance was as high as $x(1-3) 10^{-6} \text{ ohm cm}^2$. Although this value was not so high as it became a problem practically, the reproducibility of that value had a scarce problem. As this example shows to drawing 21, between the high dope n type GaAs sub emitter layer 2 and GaAs substrate 1, a high dope n type $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}_{0.98}\text{N}_{0.02}$ substrate rear emitter contact layer (Si-concentration $2 \times 10^{19} \text{ cm}^{-3}$) 50 nm of thickness provided 26 and the emitter electrode formed in the rear face of GaAs substrate 1 was used as the non alloy electrode 24 of Ti (50 nm of thickness)/Pt(50 nm of thickness)/Au (4 micrometers of thickness) structure. In drawing 21, in fields other than the hole for heat dissipation directly under a transistor in GaAs substrate 1. Between the high dope n type InGaAsN substrate rear emitter contact layer 26 and GaAs substrate 1, n type InGaP layer (the InP mole ratio 0.5, Si-concentration $2 \times 10^{18} \text{ cm}^{-3}$, 60 nm of thickness) 25 exists as an etch stopping layer. This is not [in / for the purpose of the ease of radiating hole formation and the improvement in reproducibility in a manufacturing process / this example] an indispensable layer. Hereafter, the manufacturing method of the structure of drawing 21 which has the etch stopping layer 25 is explained briefly. As an epitaxial growth layer to be used, the high dope n type InGaAsN rear-face emitter contact layer 26 and the high dope n type InGaP etch stopping layer 25 are inserted in the thing given in four from Example 1 between GaAs substrate 1 and the high dope n type GaAs sub emitter layer 2. In the manufacturing method of collector top HBT, it is the same as that of Examples 3 and 4 till before the radiating hole formation directly under a transistor. Dry etching and sulfuric acid using SF_6 and SiCl_4 . At the time of the substrate rear radiating hole formation by the wet etching using the mixed liquor of hydrogen peroxide and water, it stopped by the high dope n type InGaP etch stopping layer 25, and the high dope n type InGaP etch stopping layer 25 exposed etching in the hole for heat dissipation. Then, the high dope n type InGaP etch stopping layer 25 in the hole for heat dissipation was removed using the hydrochloric acid aqueous solution, and the high dope n type InGaAsN rear-face emitter contact layer 26 was exposed. And the substrate rear emitter non alloy electrode 24 was formed by electron beam evaporation and Au plating all over the GaAs substrate 1 rear face. a ratio [as opposed to / according to this example / high dope n type InGaAsN26 of the substrate rear emitter electrode 24] — contact resistance even to $x(0.8-1.2) 10^{-7} \text{ ohm cm}^2$, [decrease and] since the reproducibility of the value was also boiled markedly and improved, emitter resistance is low and it is effective in the efficient power amplifier excellent in reproducibility being realizable. The mixed crystal composition of the high dope

n type InGaAsN layer 26 may not be as above-mentioned, as long as the percentage of N which the rate of In occupied to group III elements occupies to not less than 20% and V group element is not less than 2%. Although drawing 21 is illustrated based on the collector top HBT structure of example 1 statement, also with the collector top HBT structure of example 2 statement, it can carry out similarly and, of course, there is same effect.

The monolithic microwave integrated circuit for power amplifiers which is the 6th example of example 6 this invention is explained using drawing 22 and 23. In this example, the monolithic microwave integrated circuit in which all the circuit components in the power amplifier which consists of two steps shown in drawing 23 at least (they may be three or more steps) were formed on the semi insulating GaAs substrate 1 was produced. Here, collector top HBT given in five is used for a transistor from Example 1. About the portion shown in drawing 23 by the thick line, drawing 22 shows the section structure. In order to form inductance required for the interstage matching circuit inserted between driver stage HBT and output stage HBT on the semi insulating GaAs substrate 1, without being accompanied by superfluous parasitic capacitance, not less than 80 micrometers of thickness of this semi insulating GaAs substrate 1 that forms an inductor at least are required. In this example, as shown in drawing 22, the hole for heat dissipation was provided directly under driver stage HBT and output stage HBT61 like collector top HBT given in five from Example 3, and thermal run-away is avoided. On the other hand, the emitter electrode 12 of HBT62 for bias circuits is taken out from the surface side of GaAs substrate 1, and is connected to the resistance element 63 grade via the 1st layer wiring 73. Here, WSiN thru/or NiCr were used for the resistor of the resistance element 63. The collector electrode of driver stage HBT and output stage HBT61 is connected to the inductance element 64 and the capacitive element 65 grade via the 1st layer wiring 73 and the 2nd layer wiring 74. Here, the capacitive element had MIM (metal / insulator layer / metal) structure, and the cascade screen of SiO₂ and Si₃N₄ was used for the insulator layer, and it used the 1st layer wiring metal 73 and the 2nd layer wiring metal 74 for the metal membrane. HBT62 for bias circuits other than driver stage HBT or output stage HBT61, the resistance element 63, the inductance element 64, and the capacitive element 65 grade are formed on GaAs substrate 1 by which lamination was carried out to 80 micrometers in thickness. The passive components 63, 64, and 65, an electrode pad (not shown), etc. except HBT62 for bias circuits are formed on the high resistance domain 18 which drove in ion, such as boron. Next, the manufacturing method of the monolithic microwave integrated circuit shown in drawing 23 is explained with reference to drawing 28 from drawing 24. About the manufacturing method of collector top HBT, it is the same as that of Example 1. However, the lamination of GaAs substrate 1 does not carry out at this time. The applied insulating films 71 used as an interlayer insulation film in 350 °C and 30 minutes among a nitrogen atmosphere. After sintering, WSiN which is a resistance film was deposited on the entire surface by high frequency weld slag, and the resistor 76 for the resistance elements 63 was processed by the dry etching using photo lithography and CF₄ plasma (drawing 24). Then, the SiO₂ film (drawing 25 100 nm of thickness, drawing 23, and some interlayer insulation films 71) was deposited at 250 °C using plasma excitation modified chemical vapor deposition. And the contact hole for taking the electric interengagement of the collector electrode 10, the base electrode 11, the emitter electrode 12, and the 1st layer wiring metal was formed by the dry etching using photo lithography, CHF₃, and C₂F₆ (drawing 25). Then, electron beam evaporation method was used for the entire surface, Mo (50 nm of thickness) / Au (800 nm of thickness) / Mo (50 nm of thickness) was deposited, and the 1st layer wiring 73 was processed by photo lithography and ion milling (drawing 26). After that, Use plasma excitation modified chemical vapor deposition for an entire surface, and a SiO₂ (20 nm of thickness) / Si₃N₄ (40 nm of thickness) / SiO₂ (20 nm of thickness) cascade screen is deposited on it at 250 °C. By the dry etching using photo lithography, CHF₃, and C₂F₆, the insulator layer 74 for the capacitive elements 65 was processed (drawing 27). By then, the dry etching use and form the interlayer insulation film 72 in an entire surface for applied insulating films, and using photo lithography, CHF₃, and C₂F₆. The contact hole for taking a part of inductance element 64 and electric interengagement with the capacitive element 65 was formed. Then, electron beam evaporation method was used for the entire surface, Mo (50 nm of thickness) / Au (800 nm of thickness) / Mo (50 nm of thickness) was deposited, and the 2nd layer wiring 74 was processed by photo lithography and ion milling (drawing 28). And the specimen surface was stuck on the glass substrate using adhesives, and lamination of GaAs substrate 1 was mechanically carried out even to 80 micrometers. Then, using the double-sided contact aligner, the hole pattern for heat dissipation was formed according to the surface side pattern, and the radiating hole was formed to a depth of 50 micrometers by the dry etching using the mixed gaseous plasma of SiCl₄ and SF₆. The wet etching which used the mixed liquor of sulfuric acid, hydrogen peroxide, and water removed remaining 30 micrometers of a radiating hole. Under the present circumstances, etching stopped by the etch stopping layer 25, and the rear-face emitter contact layer 26 was exposed in the radiating hole by removal of the etch stopping layer by a subsequent hydrochloric acid aqueous solution. It formed in the last by electron beam evaporation and Au plating all over the rear face by having used Ti (50 nm of thickness) / Pt (50 nm of thickness) / Au (4 micrometers of thickness) 24 as the rear-face emitter non alloy electrode, and the monolithic microwave integrated circuit shown in drawing 22 was produced. According to this example, it is effective in the ability to carry out [monolithic microwave integrated circuit]-izing of the power amplifier which has high power conversion efficiency, a high power profit, low cost, high-reliability, and any at least one feature of the high reproducibility.

Example 7 drawing 29 is the mobile power amplifier module produced using the monolithic microwave integrated circuit shown in Example 6. Specific inductive capacity used the low-temperature-baking crystallized glass board of 8 for the package. Size is small to 7mmx7mm used by conventional technology by 6mmx6mm. 101 is a metal cap and

102 is a chip. 103 is an electrical transmission track and forms the cascade screen of Ag and Pt by thick film screen-stencil. 105 is the monolithic microwave integrated circuit shown in Example 6, and the rear face is electrically connected to the ground layer 108 by Ag paste. The electrode pad for input and output arranged on the surface of 105 is pulled out by the wirebonding 104 out of the chip. 106 is thermal beer and the ground layer as 108 with 107 and 109. [same] Since the heat dissipation nature obtained in Example 6 used the monolithic microwave integrated circuit whose chip area it is good and is small according to this example, there is an effect which can produce a mobile power amplifier module with small capacity. Since there is no generating of the emitter inductance accompanying wirebonding which was a problem in the conventional emitter top HBT and the rear face of the monolithic microwave integrated circuit 105 is directly linked with the stable ground layer 108 electrically, There is no manufacture dispersion and there is an effect which can produce the mobile power amplifier module which is excellent in a high frequency characteristic.

Example 8 drawing 30 is a block diagram showing the composition at the time of using the high power amplifier module (drawing 29) which applied the semiconductor device concerning this invention shown in Example 8 for the mobile transmitter represented by the cellular phone. In the mobile transmitter shown in drawing 30, the antenna 640 receives the reception radio wave (here, 0.8 GHz thru/or 2 GHz are assumed) from a communications partner. The electric wave received with the antenna 640 goes into the receive section 600 as an electrical signal through the antenna shared device 641. The electrical signal sent to the receive section 600 is first amplified with the low noise amplifier 611. The amplified signal (0.8 GHz thru/or 2 GHz) is changed into about 500-kHz signal, for example. On the occasion of this frequency conversion, the intermediate frequency generated with the frequency synthesizer 630 is used, and it is carried out by making it synchronize with the receiving mixer 612. The signal changed into the intermediate frequency is amplified with the intermediary frequency amplifier 613. Since signal processing (processing to which any at least one of amplitude, frequency, and the phases is changed) is made, it restores to the signal received with the antenna 640 with the demodulator 614. The signal which came out of the demodulator 614 is sent to the control section 650. The signal sent to the control section 650 is sent to a receiver from a reception signal processing circuit in it, and turns into an audio signal. On the contrary, when transmitting an audio signal, a signal is sent and modulated by the modulator 623 of the transmission section 601 through the transmitter in the control section 650, and a sending-signal processing unit. The modulated signal is high-frequency-ized with the transmission mixer 622, and after being amplified with the power amplifier 621, it is transmitted from the antenna 640 through the antenna shared device 641. The power amplifier module concerning this invention is used for the power amplifier 621 of the transmission section 601. The high frequency (0.8 GHz thru/or 2 GHz) generated with the frequency synthesizer is used for high frequency-ization in the transmission mixer 622. The frequency synthesizer 630 can generate two or more frequency so that clearly from the above-mentioned explanation. The antenna shared device has played the role of the transmit/receive switch, sends the electric wave received with the antenna 640 as an electrical signal in the case of reception, and serves to send the signal sent from the transmission section 601 to the antenna 640 in the case of transmission. According to this invention, as a result of the power conversion efficiency of a power amplifier with the biggest power consumption improving in a mobile transmitter, it is effective in the ability to make long beyond conventional technology duration of call which can be used by the charge which is 1 time of a cell.

Example 9 drawing 33 is a circuit diagram of a grounded emitter millimeter wave belt amplifier. The electrical transmission track is connected to the base and the collector to the emitter being directly linked with a ground. Drawing 34 is an experimental result which shows the number dependency of collector fingers of the power gain at 38 GHz of the amplifier which has the circuitry shown in drawing 33. At collector top HBT by conventional technology, power gain declined with the increase in the number of collector fingers under the influence of emitter impedance. The result which is only the minute resistance accompanying the contact resistance of a rear-face emitter electrode in emitter impedance in collector top HBT which starts this invention to it, especially collector top HBT using the rear-face emitter electrode shown in Examples 3 and 4, Power gain was not dependent on the number of collector fingers, and was constant. Since according to this example there are few collector fingers taken to obtain required output power and it ends, it is effective in low cost and a high power gain amplifier with a small chip area being realizable in a millimeter wave belt.

[0012]

[Effect of the Invention] According to this invention, the collector size dependency of the current gain in collector top HBT can be reduced.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is vertical section structural drawing of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 2] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 3] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 4] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 5] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 6] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 7] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 8] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 9] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 10] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 1st example of this invention.
- [Drawing 11] It is vertical section structural drawing of collector top HBT used for the semiconductor device which is the 2nd example of this invention.
- [Drawing 12] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 2nd example of this invention.
- [Drawing 13] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 2nd example of this invention.
- [Drawing 14] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 2nd example of this invention.
- [Drawing 15] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 2nd example of this invention.
- [Drawing 16] It is the manufacturing process figure of collector top HBT used for the semiconductor device which is the 2nd example of this invention.
- [Drawing 17] It is vertical section structural drawing of collector top HBT used for the semiconductor device which is the 3rd example of this invention.
- [Drawing 18] It is vertical section structural drawing of collector top HBT used for the semiconductor device which is the 4th example of this invention.
- [Drawing 19] It is the planar structure figure of collector top HBT used for the semiconductor device which is the 4th example of this invention.
- [Drawing 20] It is the planar structure figure of collector top HBT used for the semiconductor device which is the 4th example of this invention.
- [Drawing 21] It is vertical section structural drawing of collector top HBT used for the semiconductor device which is the 5th example of this invention.
- [Drawing 22] It is vertical section structural drawing of the semiconductor device which is the 6th example of this invention.
- [Drawing 23] It is a circuit diagram of a two-step amplifier.
- [Drawing 24] It is a manufacturing process figure of the semiconductor device which is the 6th example of this invention.
- [Drawing 25] It is a manufacturing process figure of the semiconductor device which is the 6th example of this invention.
- [Drawing 26] It is a manufacturing process figure of the semiconductor device which is the 6th example of this invention.

[Drawing 27] It is a manufacturing process figure of the semiconductor device which is the 6th example of this invention.

[Drawing 28] It is a manufacturing process figure of the semiconductor device which is the 6th example of this invention.

[Drawing 29] It is vertical section structural drawing of the semiconductor device which is the 7th example of this invention.

[Drawing 30] It is a block diagram of a mobile transmitter.

[Drawing 31] It is vertical section structural drawing of collector top HBT used for the power amplifier by conventional technology.

[Drawing 32] It is a figure showing the measurement result of the collector mesa size dependency of the current gain in collector top HBT used for the power amplifier concerning conventional technology and this invention.

[Drawing 33] It is a circuit diagram of a millimeter wave belt emitter follower.

[Drawing 34] It is a figure showing the measurement result of the number dependency of collector fingers of the power gain in the millimeter wave belt emitter follower concerning conventional technology and this invention.

[Description of Notations]

1 [— Spacer layer,] — A semiconductor substrate, 2 — A sub emitter layer, 3 — An emitter layer, 4 5 [— Collector layer,] — A base layer, 6 — A spacer layer, 7 — An etch stopping layer, 8 9 [— Emitter electrode,] — A cap layer, 10 — A collector electrode, 11 — A base electrode, 12 13 — A high resistance sub emitter region, 14 — A high resistance emitter region, 15 — Insulation film side wall, 16 — A photoresist pattern, 17 — A flattening photoresist, 18 — The isolation region between elements, 19 — An interlayer insulation film, 20 — A collector wiring metal, 21 — Emitter rear-face alloy electrode, 22 — A straw-man collector electrode, 23 — A collector contact hole, 24 — Emitter electrode rear-face non alloy electrode, 25 — An etch stopping layer, 26 — An emitter rear-face contact layer, 27 — The electron which cannot advance to a parasitism emitter by conducting-zone discontinuity, 28 — The electron, 36 which reach to a collector — The electron recombined in an extrinsic base, 51 — Placing ion, 61 — Driver stage HBT and output stage HBT, 62 [— A capacitive element, 71 / — The 1st interlayer insulation film, 72 / — The 2nd interlayer insulation film, 73 / — The 1st wiring metal, 74 / — The 2nd wiring metal, 75 / — An insulator layer, 76 / — A resistance film, 101 / — Metal cap,] — HBT for bias circuits, 63 — A resistance element, 64 — An inductance element, 65 102 — A chip, 103 — The transmission line, 104 — Bonding wire, 105 — A monolithic microwave integrated circuit, 106 — Thermal beer, 107, 108, 109 — A ground layer, 110 — A bias wire way, 600 — Receive section, 601 [— An intermediary frequency amplifier, 614 / — A demodulator, 621 / — A power amplifier, 622 / — A transmission mixer, 623 / — A modulator, 630 / — A frequency synthesizer, 640 / — An antenna, 641 / — An antenna shared device, 650 / — Control section.] — A transmission section, 611 — A low noise amplifier, 612 — A receiving mixer, 613

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-252344

(P2002-252344A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L	29/737	H 0 1 L 21/28	Z 4 M 1 0 4
	21/331	H 0 1 P 1/00	Z 5 F 0 0 3
	21/28	H 0 1 L 29/72	H 5 F 0 3 8
	27/04	27/04	F 5 F 0 8 2
	21/822	27/06	1 0 1 D 5 J 0 1 1
審査請求 未請求 請求項の数15 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2001-47545(P2001-47545)

(22) 出願日 平成13年2月23日(2001.2.23)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 望月 和浩

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 岡 徹

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

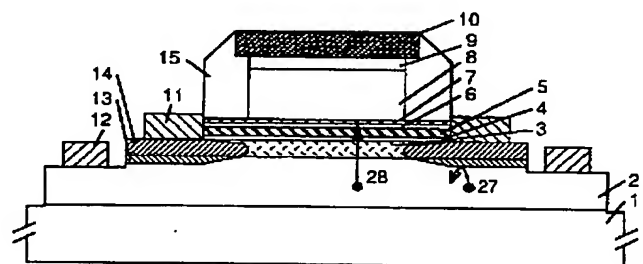
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】コレクタトップHBTにおける電流増幅率のコレクタサイズ依存性を低減する。

【解決手段】コレクタトップヘテロ接合バイポーラトランジスタにおけるベース電極11がイオン打ち込みがなされていないベース層5の側面およびイオン打ち込みがなされた高抵抗寄生エミッタ領域14の表面に接するようになる。

図1



【特許請求の範囲】

【請求項 1】コレクタトップヘテロ接合バイポーラトランジスタを有し、ベース層は高抵抗寄生エミッタ領域の全てを覆っていない、ベース電極は上記高抵抗寄生エミッタ領域上に存在し、かつ上記ベース層の側面と電気的に接続されていることを特徴とする半導体装置。

【請求項 2】上記ベース電極は上記ベース層の上面と電気的に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】上記高抵抗寄生エミッタ領域はヘリウム、ベリリウム、硼素、炭素、窒素、酸素、フッ素、ネオンのうち少なくとも一種の元素を含んでいることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】単結晶半導体基板と、該基板上に形成され、n 型化合物半導体からなるサブエミッタ層と、該サブエミッタ層上に形成され、該サブエミッタ層を形成する化合物半導体よりも禁制帯幅が大きく、n 型化合物半導体からなるエミッタ層と、該エミッタ層上に形成され、該エミッタ層を形成する化合物半導体よりも禁制帯幅が小さく、p 型化合物半導体からなるベース層と、該ベース層上に形成され、該ベース層を形成する化合物半導体と同等な禁制帯幅を有する n 型化合物半導体からなるコレクタ層と、該コレクタ層上に形成され、該コレクタ層よりも不純物濃度の高い n 型化合物半導体からなるキャップ層と、該キャップ層、上記ベース層、上記サブエミッタ層にそれぞれ電気的に接続されたコレクタ電極、ベース電極、およびエミッタ電極を有するコレクタトップヘテロ接合バイポーラトランジスタを用いた半導体装置において、上記ベース電極が上記ベース層の側面および上記エミッタ層の表面に接して形成されており、上記エミッタ層のうち少なくとも上記ベース電極が接する領域はヘリウム、ベリリウム、硼素、炭素、窒素、酸素、フッ素、ネオンのうち少なくとも一種の元素を含むことを特徴とする半導体装置。

【請求項 5】上記コレクタのメサ端から、上記ベース層側面までの距離は $0.5 \mu\text{m}$ 以下であり、上記ベース層上に存在する上記ベース電極の上記コレクタメサ端と上記ベース層側面を結ぶ方向の距離は $0.3 \mu\text{m}$ 以下であることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】上記単結晶半導体基板は GaAs であり、上記サブエミッタ層は上記 GaAs 単結晶半導体基板側から InGaAsN 層、GaAs 層が積層されたものであることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 7】上記バイポーラトランジスタはコレクタフィンガーを有し、該コレクタフィンガーの間隔は $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であり、エミッタ電極は、上記ベース電極が形成された上記バイポーラトランジスタの単結晶半導体基板の面とは反対側の面上に形成されていることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半

導体装置。

【請求項 8】上記コレクタフィンガーは、該コレクタフィンガーとは電気的に絶縁された、円形または矩形のドーナツ型ダミーコレクタ電極の内側の領域に配置されていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】単結晶半導体基板上と、該単結晶半導体基板上に形成された、複数の増幅器と、該増幅器間を接続する段間整合回路を有するモノリシック・マイクロ波集積回路において、上記増幅器は請求項 1 乃至 8 のいずれかに記載の半導体装置のコレクタトップヘテロ接合バイポーラトランジスタで構成されており、上記増幅器の出力段トランジスタの入力側の上記段間整合回路の形成された領域の上記単結晶半導体基板の厚さは、上記出力段トランジスタの形成された領域の上記単結晶半導体基板の厚さよりも厚いことを特徴とするモノリシック・マイクロ波集積回路。

【請求項 10】請求項 9 記載のモノリシック・マイクロ波集積回路を有することを特徴とする電力増幅器モジュール。

【請求項 11】請求項 10 記載の電力増幅器モジュールを有することを特徴とする移動体通信機。

【請求項 12】請求項 9 記載のモノリシック・マイクロ波集積回路を有することを特徴とするミリ波帯増幅器モジュール。

【請求項 13】単結晶半導体基板上に n 型化合物半導体からなるエミッタ層を成長する工程、該エミッタ層上に該エミッタ層を形成する化合物半導体よりも禁制帯幅の小さな p 型化合物半導体からなるベース層を成長する工程、該ベース層を所望の形状に加工する工程、および該エミッタ層のうち該ベース層が被覆しない領域に高抵抗寄生エミッタ領域をイオン打ち込みにより形成する工程を有することを特徴とするコレクタトップヘテロ接合バイポーラトランジスタの製造方法。

【請求項 14】上記イオン打ち込みはヘリウム、ベリリウム、硼素、炭素、窒素、酸素、フッ素、ネオンのうち少なくとも一種の元素のイオンを打ち込むことを特徴とする請求項 13 記載のコレクタトップヘテロ接合バイポーラトランジスタの製造方法。

【請求項 15】上記単結晶半導体は GaAs、上記エミッタ層は InGaP または AlGaAs、上記ベース層は GaAs からなることを特徴とする請求項 13 又は 14 に記載のコレクタトップヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コレクタトップヘテロ接合バイポーラトランジスタを用いた半導体装置、特に電力変換効率の高い電力増幅器に関するものである。

【0002】

【従来の技術】近年、移動体通信機の需要の急成長に伴い、通信機に用いる電力増幅器の研究開発が盛んに行われている。例えば、電力増幅器の半導体装置としてヘテロ接合バイポーラトランジスタ（HBT: Hetero junction Bipolar Transistor）を用いた電力増幅器が特開平10-135750号公報に記載されている。

【0003】

【発明が解決しようとする課題】電力増幅器の例として、モノリシックマイクロ波集積回路化した2段増幅器の回路図を図23に示す。図23において入力には入力インピーダンスを決める回路である入力整合回路が、出力には出力インピーダンスを決める回路である出力整合回路が接続されている。（いずれも、集積回路外に外付け受動素子により形成するため、回路図23中に図示せず。）図23のような電力増幅器の電力変換効率を向上させるには、（1）ドライバ段HBT、出力段HBTの電力変換効率を向上させること、および（2）バイアス回路における消費電力を低減させること、が不可欠である。

（1）に対しては、HBTのニー電圧（動作最大コレクタ電流における最小コレクターエミッタ電圧）を低減することが有効である。HBTのニー電圧はオフセット電圧（コレクタ電流が零となるコレクターエミッタ間電圧）とエミッタ抵抗およびコレクタ抵抗から決定される。HBTのオフセット電圧は、エミッタを表面側に形成したエミッタトップHBTよりも、コレクタを表面側に形成したコレクタトップHBTの方が低いことが知られており、オフセット電圧の低いコレクタトップHBTがエレクトロニクス・レターズ第36巻第3号第264頁から第265頁（2000年）（Electronics Letters Vol. 36 No. 3 p. 264-265（2000））に開示されている。

（2）に対しては、適切な電流増幅率を維持することが重要となる。バイアス回路の消費電力は、ドライバ段HBTおよび出力段HBTの電流増幅率が高いほど低くなる。ところが、例えば70ないし100を越える高い電流増幅率はコレクターエミッタ間耐圧の低下につながり、電力増幅器の信頼性低下を招く。よって、ドライバ段HBTおよび出力段HBTの電流増幅率としては50程度が望ましい。しかし、上記（1）に対して従来のコレクタトップHBT（図31）を採用した場合、コレクタサイズが $100 \times 100 \mu\text{m}^2$ 程度の大面積HBTでは50程度の電流増幅率が得られていても、電力増幅器のトランジスタフィンガーとして用いられるコレクタサイズの小さなHBT、例えばコレクタサイズが $2 \times 20 \mu\text{m}^2$ のHBTにおいて、電流増幅率が10を下回ってしまう問題があった（図32）。このため、コレクタトップHBTの採用により、ドライバ段HBTおよび出力

段HBTの電力変換効率が向上しても、バイアス回路の消費電力が増加する結果、電力増幅器全体の電力変換効率は向上しない問題があった。本発明の目的は、コレクタトップHBTにおける電流増幅率のコレクタサイズ依存性を低減することにある。

【0004】

【課題を解決するための手段】上記目的は、コレクタトップヘテロ接合バイポーラトランジスタのベース層が高抵抗寄生エミッタ領域の全てを覆わないようにし、ベース電極を高抵抗寄生エミッタ領域上に存在させ、かつベース層の側面と電氣的に接続させることにより達成できる。また、上記目的は、単結晶半導体基板上にn型化合物半導体からなるエミッタ層を成長する工程、このエミッタ層上にエミッタ層を形成する化合物半導体よりも禁制帯幅の小さなp型化合物半導体からなるベース層を成長する工程、このベース層を所望の形状に加工する工程、およびエミッタ層のうちベース層が被覆しない領域に高抵抗寄生エミッタ領域をイオン打ち込みにより形成する工程を有するコレクタトップヘテロ接合バイポーラトランジスタの製造方法により達成できる。

【0005】

【発明の実施の形態】コレクタトップHBTを作製する際に、寄生エミッタ・ベース接合を流れるベース電流を抑制するために、従来、コレクタ電極およびコレクタメサをマスクに外部ベース領域越しに寄生エミッタ領域にヘリウム、ベリリウム、硼素、炭素、窒素、酸素、フッ素、ネオンなどのイオン打ち込みがなされ、寄生エミッタ領域は高抵抗化されてきた。この際、コレクタトップHBTの電流増幅率が1を越えるためには、エミッタ・ベース接合面積がベース・コレクタ接合面積よりも小さくなる必要がある。コレクタ電極に対し、コレクタメサの縮小量は $0.3 \mu\text{m}$ 程度であるのに対し、通常のイオン打ち込み条件で生成される結晶欠陥がコレクタトップHBT作製工程中に横方向へ拡散する距離は $0.3 \mu\text{m}$ から $0.5 \mu\text{m}$ 程度であって、エミッタ・ベース接合面積がベース・コレクタ接合面積よりも小さいという関係は満たされていた。しかし、上記結晶欠陥の横方向核拡散はエミッタ層中だけではなく、ベース層中에서도起きていることにこれまで注意が払われてこなかった。そこで、はじめに、従来技術によるコレクタトップHBTを作製し、ベース電流のコレクタサイズ依存性を調べてみた。キャリアがエミッタ空乏層内結晶欠陥を介して再結合すれば理想因子 n 値（電流を $A \exp(qV/nkT)$ （ A : 比例係数、 q : 素電荷量、 V : 電圧、 k : ボルツマン定数、 T : 絶対温度）と表した時の n の値）が2となるはずであり、ベース中性領域内での欠陥を介した再結合電流が支配すれば $n=1$ となるはずである。実際に図31に示す従来技術によるコレクタトップHBTを作製し、ベース電流のコレクタ電流依存性を解析した結果、理想因子 n 値は1.0であった。このことから、

図31に示した従来技術によるコレクタトップHBT電流増幅率のコレクタサイズ依存性は、主にベース層内結晶欠陥に起因していることが明らかとなった。

【0006】本発明は、イオン打ち込みを外部ベース領域を介さずに行い、ベース電極をイオン打ち込みがなされていない低抵抗ベース層と、イオン打ち込みがなされた高抵抗寄生エミッタ領域にまたがって形成することを特徴としている。

【0007】実施例1

図1は本発明の第1の実施例である電力増幅器に用いたコレクタトップHBTの縦断面構造図である。半絶縁性GaAs基板1上に高ドーパ型GaAsサブエミッタ層(Si濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、膜厚 $0.8 \mu\text{m}$)2、n型InGaPエミッタ層(InPモル比0.5、Si濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 $0.2 \mu\text{m}$)3、アンドープGaAsスペーサ層(膜厚 5 nm)4、p型GaAsベース層(C濃度 $3 \times 10^{19} \text{ cm}^{-3}$ 、膜厚 70 nm)5、アンドープGaAsスペーサ層(膜厚 20 nm)6、n型InGaPエッチストップ層(InPモル比0.5、Si濃度 $3 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 5 nm)7、n型GaAsコレクタ層(Si濃度 $3 \times 10^{16} \text{ cm}^{-3}$ 、膜厚 $0.8 \mu\text{m}$)8、n型InGaAsキャップ層(InAsモル比0.5、Si濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、膜厚 $0.2 \mu\text{m}$)9が存在し、コレクタ電極10とベース電極11はSiO₂側壁15を介して、自己整合的に形成されている。一方、エミッタ電極12はベースメサに対して、非自己整合的に形成されている。ここで、エミッタ層3およびサブエミッタ層2におけるトランジスタ寄生領域(コレクタ電極10直下のトランジスタ真性領域以外の領域)には、砷素イオンが打ち込まれた高抵抗InGaP寄生エミッタ領域14と高抵抗GaAs寄生サブエミッタ領域13が存在し、寄生エミッターベース接合を流れるベース電流(図1中の電子の流れ16)を抑制している。なお、打ち込むイオンとしては、砷素以外にヘリウム、ベリリウム、炭素、窒素、酸素、フッ素、ネオンのいずれであっても、同様に高抵抗化領域13および14が形成される。本実施例におけるコレクタサイズ $2 \times 20 \mu\text{m}^2$ のコレクタトップHBTの電流増幅率は55であった。この値はコレクタサイズ $100 \times 100 \mu\text{m}^2$ の電流増幅率と同じであり、従来技術で問題となっていた電流増幅率のコレクタサイズ依存性を抑制できた(図17)。続いて、図2から図10を参照して、図1に示したコレクタトップHBTの製造方法を説明する。はじめに、半絶縁性GaAs基板1上に有機金属気相エピタキシー法あるいは分子線エピタキシー法を用いて、高ドーパ型GaAsサブエミッタ層2、n型InGaPエミッタ層3、アンドープGaAsスペーサ層4、p型GaAsベース層5、アンドープGaAsスペーサ層6、n型InGaPエッチストップ層7、n型GaAsコレクタ層8、n型InGa

Asキャップ層9を順次エピタキシャル成長した。ここで、n型InGaPエッチストップ層7はベースからコレクタへの正孔注入を抑制し、オフセット電圧の低減効果を有するものであるが、コレクタトップHBTの動作上、必須な層ではない。その後、高周波スパッタ法を用いてWSi(Siモル比0.3、膜厚 $0.3 \mu\text{m}$)をウエハ全面に堆積し、ホトリソグラフィーおよびCF₄を用いたドライエッチングにより、コレクタ電極10を形成した。そして、そのコレクタ電極10をマスクに、n型InGaAsキャップ層9およびn型GaAsコレクタ層8をSF₆およびSiCl₄を用いたドライエッチングおよびリン酸、過酸化水素、水の混合液を用いたウエットエッチングにより除去した。この際、n型InGaPエッチストップ層7はリン酸、過酸化水素、水の混合液を用いたウエットエッチングではエッチングされず、n型InGaPエッチストップ層7の表面が露出された(図2)。その後、熱分解化学的気相堆積法を用いて、 390°C にてSiO₂膜(膜厚 400 nm)を堆積し、C₂F₆およびCHF₃を用いたドライエッチングによりSiO₂側壁15の加工を行った。引き続き、コレクタ電極10およびSiO₂側壁15をマスクに、n型InGaPエッチストップ層7を塩酸水溶液により除去し、アンドープGaAsスペーサ層6およびp型GaAsベース層5をリン酸、過酸化水素、水の混合液を用いたウエットエッチングにより除去し、n型InGaPエミッタ層3表面を露出した(図3)。そして、全面に砷素イオン51を加速エネルギー 50 keV 、入射角0度、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ の条件で、室温にて打ち込んだ。この際、イオン打ち込みにより形成された結晶欠陥は横方向に拡散し、高抵抗InGaP寄生エミッタ領域14および高抵抗GaAs寄生サブエミッタ領域13は横方向に拡がった(図4)。この拡がり幅はその後の製造工程における熱工程でさらに拡がり、素子作製工程完了後、コレクタ電流のコレクタメササイズ依存性から $0.3 \mu\text{m}$ から $0.5 \mu\text{m}$ 程度と見積もられた。その後、ベース電極Pt(20 nm)/Ti(50 nm)/Pt(50 nm)/Au(200 nm)/Mo(20 nm)11を電子ビーム蒸着を用いたリフトオフ法により形成し、コレクタメサに対して $0.6 \mu\text{m}$ の間隔において、コレクタ電極を含むコレクタメサに等しい高さのホトレジストパタン16をホトリソグラフィーにより作製した(図5)。そして、膜厚 $2 \mu\text{m}$ のホトレジスト17でウエハ全体を平坦化した(図6)。次にCF₄および酸素を用いたドライエッチングにより、ホトレジスト17、16をエッチバックし、コレクタ電極10上に堆積したベース電極11を露出した(図7)。そして、イオンミリングを用いてベース電極11のうち不必要なベース電極を除去した後、CF₄、O₂、およびN₂の混合ガスのプラズマを用いてホトレジストを除去した(図8)。

【0008】その後、ホトリソグラフィおよび塩酸水溶液ならびにリン酸、過酸化水素、水の混合液を用いたウェットエッチングを用いて、高抵抗InGaP寄生エミッタ領域14、高抵抗GaAs寄生サブエミッタ領域13を除去し、低抵抗n型GaAsサブエミッタ層2を露出した(図9)。続いて、AuGe(膜厚60nm)/Ni(膜厚10nm)/Au(膜厚300nm)からなるエミッタ電極12をリフトオフ法により形成し、窒素雰囲気中410℃にて10分間アロイした(図10)。そして、ホトリソグラフィおよびリン酸、過酸化水素、水の混合液を用いたウェットエッチングを用いてn型GaAsサブエミッタ層2を除去することにより、素子間分離を行い、図1に示すコレクタトップHBTを作製し、最後に、コレクタ電極10、ベース電極11、およびエミッタ電極12に対して必要な配線を行った(図示せず)。本実施例によれば、イオン打ち込みに起因した結晶欠陥の横方向拡散がn型InGaPエミッタ層3および高ドープn型GaAsサブエミッタ層2のみで起こり、p型GaAsベース層5中には横方向拡散しない。よって、従来技術で問題になっていたコレクタトップHBTベース中性領域におけるキャリア再結合に起因した電流増幅率のコレクタサイズ依存性を抑制できる。よって、本実施例による微細コレクタトップHBTを複数、並列接続して構成した電力増幅器において、ベースバイアス回路に流れるベース電流が低減する結果、ベースバイアス回路での消費電力が低減し、電力増幅器の電力変換効率が向上する効果がある。例えば、周波数880MHzから915MHzのGMSK(Gaussian Filtered Minimum Shift Keying)変調波に対して、電源電圧3.5V、温度25℃における出力電力が35dBmでの電力付加効率は、従来技術によるコレクタトップHBTを用いた電力増幅器の場合69%であったのに対し、本発明によるコレクタトップHBTを用いた電力増幅器では73%と4%高い値が得られた。なお、本実施例ではエミッタ層にInGaPを用いたが、AlGaAsなどGaAs基板1に格子整合し、ベース層であるGaAsよりも禁制帯幅の大きな材料であれば、本実施例と同様な効果があるのはもちろんである。

【0009】実施例2

図11は本発明の第2の実施例である電力増幅器に用いたコレクタトップHBTの縦断面構造図である。実施例1と同様に、半絶縁性GaAs基板1上に高ドープn型GaAsサブエミッタ層(Si濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、膜厚0.8 μm)2、n型InGaPエミッタ層(InPモル比0.5、Si濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚0.2 μm)3、アンドープGaAsスペーサ層(膜厚5nm)4、p型GaAsベース層(C濃度 $3 \times 10^{19} \text{ cm}^{-3}$ 、膜厚70nm)5、アンドープGaAsスペーサ層(膜厚20nm)6、n型InG

aPエッチストップ層(InPモル比0.5、Si濃度 $3 \times 10^{17} \text{ cm}^{-3}$ 、膜厚5nm)7、n型GaAsコレクタ層(Si濃度 $3 \times 10^{16} \text{ cm}^{-3}$ 、膜厚0.8 μm)8、n型InGaAsキャップ層(InAsモル比0.5、Si濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、膜厚0.2 μm)9が存在するが、実施例1と異なり、SiO₂側壁は有していない。ベース電極11はコレクタメサのアンダーカットを利用して、コレクタ電極10に対して自己整合的に形成されている。実施例1と同様、エミッタ電極12はベースメサに対して、非自己整合的に形成されており、エミッタ層3およびサブエミッタ層2におけるトランジスタ寄生領域(コレクタ電極10直下のトランジスタ真性領域以外の領域)には、硼素イオンが打ち込まれた高抵抗InGaP寄生エミッタ領域14と高抵抗GaAs寄生サブエミッタ領域13が存在し、寄生エミッターベース接合を流れるベース電流(図1中の電子の流れ16)を抑制している。なお、打ち込むイオンとしては、硼素以外にヘリウム、ベリリウム、炭素、窒素、酸素、フッ素、ネオンのいずれであっても、同様に高抵抗化領域13および14が形成される。なお、ベース電極11は高抵抗InGaP寄生エミッタ領域14だけではなく、p型GaAsベース層5の上面にも接して形成されている点は実施例1と異なっている。さらに、ベース電極11がベース層5の上面に接する幅aは0.3 μm 以下であり、コレクタメサ端からベース層側面までの距離bが0.5 μm 以下であるように構成されている。本実施例におけるコレクタサイズ $2 \times 20 \mu\text{m}^2$ のコレクタトップHBTの電流増幅率は55と、実施例1と同様、電流増幅率のコレクタサイズ依存性を抑制できただけではなく、コレクタサイズ $2 \times 20 \mu\text{m}^2$ のコレクタトップHBTにおけるベース抵抗が実施例1の40 Ω に対し、本実施例では10 Ω と低く抑えられている。なお、aが0.3 μm を越えても、HBTのベース層に通常用いられるアクセプタ濃度 $(1-6) \times 10^{19} \text{ cm}^{-3}$ の範囲においてベース抵抗の低減はなく、aは0.3 μm 以下の値でよい。また、bはイオン打ち込み中に形成された結晶欠陥が、その後の素子製造工程中に横方向拡散する距離により最大値が規定され、bが大きすぎるとエミッターベース接合面積がベースコレクタ接合面積よりも大きくなる結果、電流増幅率が1未満となり、実用に適さない。GaAs系化合物半導体製造工程に通常用いられる最大温度は410℃程度、その温度での最大保持時間は30分程度であることを考慮すると、bは0.5 μm 以下にする必要がある。続いて、図12から図16を参照して、図11に示したコレクタトップHBTの製造方法を説明する。コレクタ電極の形成から、硼素イオン等の打ち込みによる高抵抗InGaP寄生エミッタ領域14および高抵抗GaAs寄生サブエミッタ領域13の形成までは、実施例1の図2から図4に示した製造工程と同一である。イオン打ち込み工程

後、イオン打ち込みのマスクの一部として使用したSiO₂側壁15を緩衝フッ酸により除去した(図12)。そして、ベース電極11をリフトオフ法により形成した。この際、ベース電極用金属Pt(20nm)/Ti(50nm)/Pt(50nm)/Au(200nm)/Mo(20nm)は指向性電子ビーム蒸着により形成した結果、コレクタ電極(WSi膜厚0.3μm)11上に堆積した部分と、n型InGaPエッチストップ層7表面および高抵抗InGaP寄生エミッタ領域14の上に堆積した部分とは分離され、コレクタ電極10とベース電極11とは自己整合的に形成された(図13)。そして、窒素雰囲気中410℃にて10分間アロイし、Ptをn型InGaPエッチストップ層7およびアンダーペースGaaSスペーサ層6を通じてシンタさせ、ベース電極がベース層5に直接接触するようにした(図14)。その後、ホトリソグラフィおよび塩酸水溶液ならびにリン酸、過酸化水素、水の混合液を用いたウェットエッチングを用いて、高抵抗InGaP寄生エミッタ領域14、高抵抗GaaS寄生サブエミッタ領域13を除去し、低抵抗n型GaaSサブエミッタ層2を露出した(図15)。続いて、AuGe(膜厚60nm)/Ni(膜厚10nm)/Au(膜厚300nm)からなるエミッタ電極12をリフトオフ法により形成し、窒素雰囲気中410℃にて10分間アロイした(図16)。そして、ホトリソグラフィおよびリン酸、過酸化水素、水の混合液を用いたウェットエッチングを用いてn型GaaSサブエミッタ層2を除去することにより、素子間分離を行い、図11に示すコレクタトップHBTを作製し、最後に、コレクタ電極10、ベース電極11、およびエミッタ電極12に対して必要な配線を行った(図示せず)。本実施例によれば、ベース電極をイオン打ち込みがなされていない低抵抗外部ベース層表面に形成できる結果、ベース抵抗の低いコレクタトップHBTを実現できる。よって、本実施例による微細コレクタトップHBTを複数、並列接続して構成した電力増幅器において、実施例1で述べた特長以外に、電力利得が向上する効果がある。例えば、周波数880MHzから915MHzのGMSK変調波に対して、電源電圧3.5V、温度25℃における出力電力が35dBmでの電力利得は、従来技術によるコレクタトップHBTを用いた電力増幅器の場合13dBであったのに対し、本発明によるコレクタトップHBTを用いた電力増幅器では16dBと3dB高い値が得られた。

【0010】実施例3

図17は本発明の第3の実施例である電力増幅器に用いたコレクタトップHBTフィンガー列の縦断面構造図である。各トランジスタには実施例1に示したコレクタトップHBTを用いた。実施例1では素子間分離にGaaSのウェットエッチングを用いたが、本実施例では試料表面の凹凸を低減するために、硼素等のイオン打ち込み

を用いた高抵抗GaaS素子間分離領域18を形成している。配線20は各コレクタ電極を接続する出力用コレクタ配線である。各コレクタフィンガーの間隔cは2μm以上10μm以下であって、エミッタ電極21は半絶縁性GaaS基板1に対して、コレクタ電極10およびベース電極11とは反対の面に形成されているのが、本実施例の特長である。図17の構造は、素子間分離領域18の形成後、膜厚600μmの半絶縁性GaaS基板1を機械研磨により80μmにまで薄層化し、両面合わせ用コンタクトアライナーを用いて、半絶縁性GaaS基板1の表面側パタンに合わせて、トランジスタ直下の半絶縁性GaaS基板1裏面放熱孔パタンをホトリソグラフィ、ならびにSF₆およびSiCl₄を用いたドライエッチングおよび硫酸、過酸化水素、水の混合液を用いたウェットエッチングにより形成した。そして、AuGe(膜厚60nm)/Ni(膜厚10nm)/Au(膜厚4μm)からなるエミッタ裏面アロイ電極21を薄層化GaaS基板1の裏面全体に形成し、窒素雰囲気中、350℃にて30分間アロイした。本実施例によれば、コレクタトップHBTの動作時の発熱がGaaS基板1の表面側コレクタ配線金属20を介してだけではなく、GaaS基板1の裏面側エミッタ電極21を介しても逃がることができるため、熱暴走を回避してコレクタフィンガー間隔cを詰められる結果、従来20μm以上必要だったcの値を10μm以下にでき、コレクタトップHBTを含む半導体チップの面積を従来技術の半分程度にまで小さくできる。これにより、本実施例では低コストな電力増幅器を実現できる効果がある。

【0011】本実施例において、cに下限2μmを設定したのは、隣り合うコレクタメサに付随する幅1μm程度のベース電極が接触するのを避けるためである。なお、本実施例では実施例1記載のコレクタトップHBTを用いたが、実施例2記載のコレクタトップHBTを用いても同様に実施でき、同様な効果があるのはもちろんである。

実施例4

図18は本発明の第4の実施例である電力増幅器に用いたコレクタトップHBTフィンガー列の縦断面構造図である。各トランジスタには実施例3に示したコレクタトップHBTを用いた。実施例3ではトランジスタ直下からの放熱効果に優れるものの、エミッタ裏面アロイ電極を形成後、コレクタトップHBTチップをスクライブにより切り出す際に、図17のA-A早AB-B室/示したような全膜厚の薄い領域において、機械的破損が生じ、コレクタトップHBTチップの製造歩留まりを落とす問題があった。本実施例では複数のコレクタフィンガーが、該コレクタフィンガーとは電気的に絶縁された、矩形または円形のドーナツ型ダミーコレクタ電極の内側の領域に配置されたことを特徴とする。本実施例によれば、ダミーコレクタ電極構造の存在のおかげで、図17

のA-A曹竄a-B室のような機械的に弱い薄膜領域が存在しないため、製造歩留まりが高く、信頼性に優れた電力増幅器を実現できる効果がある。なお、図17は実施例1記載のコレクタトップHBT構造に基づいて図示されているが、実施例2記載のコレクタトップHBT構造でも同様に実施でき、同様な効果があるのはもちろんである。図19には矩形ダミーコレクタ、図20には円形ダミーコレクタを用いた場合の平面構造図を示した。トランジスタとして動作させるコレクタメサにはコレクタ電極10とコレクタ配線金属20とを電氣的に接続するためのコレクタコンタクト孔23が形成されているのに対し、ダミーコレクタ電極22にはコレクタコンタクト孔は設けられていない。コレクタ配線金属20とダミーコレクタ電極22との間で寄生ベースコレクタ容量の発生があるものの、例えば $2 \times 20 \mu\text{m}^2$ のコレクタフィンガーでは、ドーナツ型ダミーコレクタ電極当たり6本以上のフィンガーを配置すれば、上記寄生ベースコレクタ容量はトランジスタの真性ベースコレクタ容量の $1/10$ 以下と無視できるようになり、本実施例に示すコレクタトップHBTの電力増幅器への適用に関して、実用上の問題はない。ドーナツ型ダミーコレクタ電極の形状に関しては、円形の方が矩形よりも強度的に強い利点がある一方、ドーナツ型ダミーコレクタ電極内のコレクタフィンガー数を増加させるには矩形の方が適している。よって、コレクタトップHBTチップの製造歩留まりを優先させる場合には円形ドーナツ型ダミーコレクタ、コレクタトップHBTチップ面積の縮小を優先させる場合には矩形ドーナツ型ダミーコレクタが選択すればよい。なお、GaAs基板1を用いた場合の矩形ドーナツ型ダミーコレクタ電極構造の機械的強度を実験的に検討した結果、ひとつの矩形ドーナツ型ダミーコレクタ電極内に配置可能なコレクタフィンガーの数は、コレクタサイズが $2 \times 20 \mu\text{m}^2$ の場合において最大16本であった。それ以上のコレクタフィンガー数を要する半導体装置においては、コレクタフィンガーを配置した矩形ドーナツ型ダミーコレクタ電極構造を複数配置すればよい。その際、機械的強度の観点から、各矩形ドーナツ型ダミーコレクタ電極の間隔はGaAs基板の最大厚さ（本実施例の場合 $80 \mu\text{m}$ ）程度以上設けるのが望ましい。

実施例5

図21は本発明の第5の実施例である電力増幅器に用いたコレクタトップHBTフィンガー列の縦断面構造図である。各トランジスタには実施例4に示したコレクタトップHBT（図18）を用いた。図18ではGaAs基板1に絵形成されている裏面エミッタ電極はAuGeを含むアロイ電極であり、高ドープn型GaAsサブエミッタ層2との比接触抵抗が $(1-3) \times 10^{-6} \Omega\text{cm}^2$ と高かった。この値は実用上、問題になるほど高くないものの、その値の再現性に乏しい問題があった。本

実施例では図21に示すように、高ドープn型GaAsサブエミッタ層2とGaAs基板1との間に、高ドープn型 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}_{0.98}\text{N}_{0.02}$ 基板裏面エミッタコンタクト層（Si濃度 $2 \times 10^{19} \text{cm}^{-3}$ 、膜厚 50nm ）26を設け、GaAs基板1の裏面に形成するエミッタ電極をTi（膜厚 50nm ）/Pt（膜厚 50nm ）/Au（膜厚 $4 \mu\text{m}$ ）構造のノンアロイ電極24とした。図21では、GaAs基板1におけるトランジスタ直下の放熱用孔以外の領域で、高ドープn型 InGaAsN 基板裏面エミッタコンタクト層26とGaAs基板1との間に、エッチストップ層としてn型 InGaP 層（InPモル比0.5、Si濃度 $2 \times 10^{18} \text{cm}^{-3}$ 、膜厚 60nm ）25が存在している。これは製造工程における放熱孔形成の容易性ならびに再現性向上を目的としたものであって、本実施例において必須な層ではない。以下、エッチストップ層25を有する図21の構造の製造方法に関して、簡単に説明する。用いるエピタキシャル成長層としては、実施例1から4記載のものに、高ドープn型 InGaAsN 裏面エミッタコンタクト層26および高ドープn型 InGaP エッチストップ層25が、GaAs基板1と高ドープn型GaAsサブエミッタ層2の間に挿入されている。コレクタトップHBTの製造方法の中で、トランジスタ直下の放熱孔形成前までは実施例3および4と同様である。SF₆およびSiCl₄を用いたドライエッチングおよび硫酸、過酸化水素、水の混合液を用いたウェットエッチングによる基板裏面放熱孔形成の際、エッチングは高ドープn型 InGaP エッチストップ層25で停止し、放熱用孔内に高ドープn型 InGaP エッチストップ層25が露出した。その後、塩酸水溶液を用いて放熱用孔内の高ドープn型 InGaP エッチストップ層25を除去し、高ドープn型 InGaAsN 裏面エミッタコンタクト層26を露出した。そして、基板裏面エミッタノンアロイ電極24をGaAs基板1裏面全面に電子ビーム蒸着およびAuメッキにより形成した。本実施例によれば、基板裏面エミッタ電極24の高ドープn型 InGaAsN 26に対する比接触抵抗が $(0.8-1.2) \times 10^{-7} \Omega\text{cm}^2$ にまで低減し、その値の再現性も格段に向上したことから、エミッタ抵抗が低く、再現性に優れた高効率電力増幅器を実現できる効果がある。なお、高ドープn型 InGaAsN 層26の混晶組成はIII族元素に占めるInの割合が20%以上、かつV族元素に占めるNの割合が2%以上であれば、上記の通りでなくてよい。また、図21は実施例1記載のコレクタトップHBT構造に基づいて図示されているが、実施例2記載のコレクタトップHBT構造でも同様に実施でき、同様な効果があるのはもちろんである。

実施例6

本発明の第6の実施例である電力増幅器用モノリシック・マイクロ波集積回路に関して、図22および23を用

いて説明する。本実施例では、少なくとも図 23 に示す 2 段からなる (3 段以上であってもよい) 電力増幅器における回路部品全てを半絶縁性 GaAs 基板 1 上に形成したモノリシック・マイクロ波集積回路を作製した。ここで、トランジスタには実施例 1 から 5 記載のコレクタトップ HBT を使用している。図 22 では図 23 に太線で示した部分について、その断面構造を示している。ドライバ段 HBT と出力段 HBT との間に挿入する段間整合回路に必要なインダクタンスを、過剰な寄生容量を伴わずに半絶縁性 GaAs 基板 1 上に形成するためには、少なくともインダクタを形成する該半絶縁性 GaAs 基板 1 の厚さは 80 μm 以上必要である。本実施例では、図 22 に示すように、実施例 3 から 5 記載のコレクタトップ HBT と同様に、ドライバ段 HBT や出力段 HBT 61 の直下には放熱用孔を設けて熱暴走を回避している。一方、バイアス回路用 HBT 62 のエミッタ電極 12 は GaAs 基板 1 の表面側から取りだし、第 1 層配線 73 を介して抵抗素子 63 等に接続されている。ここで、抵抗素子 63 の抵抗体には WSiN ないし NiCr を用いた。ドライバ段 HBT や出力段 HBT 61 のコレクタ電極は第 1 層配線 73 および第 2 層配線 74 を介して、インダクタンス素子 64、容量素子 65 等に接続されている。ここで、容量素子は MIM (金属/絶縁膜/金属) 構造を有し、絶縁膜には SiO_2 と Si_3N_4 の積層膜、金属膜には第 1 層配線金属 73 および第 2 層配線金属 74 を用いた。ドライバ段 HBT や出力段 HBT 61 以外の、バイアス回路用 HBT 62、抵抗素子 63、インダクタンス素子 64、容量素子 65 等は厚さ 80 μm に薄層化された GaAs 基板 1 上に形成されていて、バイアス回路用 HBT 62 を除いた受動素子 63、64、65 や電極パッド (図示せず) などは硼素等のイオンを打ち込んだ高抵抗領域 18 の上に形成されている。次に、図 23 に示すモノリシック・マイクロ波集積回路の作製方法を、図 24 から図 28 を参照して説明する。コレクタトップ HBT の作製方法に関しては実施例 1 と同様である。ただし、この時点で GaAs 基板 1 の薄層化は行わない。層間絶縁膜となる塗布絶縁膜 71 を窒素雰囲気中 350℃、30 分にて焼結後、表面全面に抵抗膜である WSiN を高周波スパッタにより堆積し、ホトリソグラフィおよび CF_4 プラズマを用いたドライエッチングにより、抵抗素子 63 用抵抗体 76 の加工を行った (図 24)。その後、プラズマ励起化学的気相堆積法を用いて、250℃にて SiO_2 膜 (膜厚 100 nm、図 23 および図 25 では層間絶縁膜 71 の一部) を堆積した。そして、ホトリソグラフィおよび CHF_3 および C_2F_6 を用いたドライエッチングにより、コレクタ電極 10、ベース電極 11、エミッタ電極 12 と第 1 層配線金属との電氣的接触をとるためのコンタクト孔を形成した (図 25)。続いて、表面全面に電子ビーム蒸着法を用いて、Mo (膜厚 50 nm) / Au

(膜厚 800 nm) / Mo (膜厚 50 nm) を堆積し、ホトリソグラフィおよびイオンミリングにより、第 1 層配線 73 の加工を行った (図 26)。その後、表面全面に SiO_2 (膜厚 20 nm) / Si_3N_4 (膜厚 40 nm) / SiO_2 (膜厚 20 nm) 積層膜をプラズマ励起化学的気相堆積法を用いて 250℃にて堆積し、ホトリソグラフィおよび CHF_3 および C_2F_6 を用いたドライエッチングにより、容量素子 65 用絶縁膜 74 の加工を行った (図 27)。引き続き、表面全面に層間絶縁膜 72 を塗布絶縁膜を用いて形成し、ホトリソグラフィおよび CHF_3 および C_2F_6 を用いたドライエッチングにより、インダクタンス素子 64 の一部および容量素子 65 との電氣的接触をとるためのコンタクト孔を形成した。その後、表面全面に電子ビーム蒸着法を用いて、Mo (膜厚 50 nm) / Au (膜厚 800 nm) / Mo (膜厚 50 nm) を堆積し、ホトリソグラフィおよびイオンミリングにより、第 2 層配線 74 の加工を行った (図 28)。そして、試料表面を接着剤を用いてガラス基板に貼りつけ、GaAs 基板 1 を 80 μm にまで機械的に薄層化した。その後、両面コンタクトアライナーを用いて、放熱用孔パタンを表面側パタンに合わせて形成し、 SiCl_4 および SF_6 の混合ガスプラズマを用いたドライエッチングにより、放熱孔を深さ 50 μm まで形成した。放熱孔の残り 30 μm は硫酸、過酸化水素、水の混合液を用いたウェットエッチングにより除去した。この際、エッチングはエッチストップ層 25 で停止し、その後の塩酸水溶液によるエッチストップ層の除去により放熱孔内に裏面エミッタコンタクト層 26 を露出させた。最後に、Ti (膜厚 50 nm) / Pt (膜厚 50 nm) / Au (膜厚 4 μm) 24 を裏面エミッタノンアロイ電極として、裏面全面に電子ビーム蒸着および Au メッキにより形成し、図 22 に示すモノリシック・マイクロ波集積回路を作製した。本実施例によれば、高電力変換効率、高電力利得、低コスト、高信頼性、高再現性の少なくともいずれか一つの特徴を有する電力増幅器を、モノリシック・マイクロ波集積回路化できる効果がある。

実施例 7

図 29 は実施例 6 に示したモノリシック・マイクロ波集積回路を用いて作製した、移動体電力増幅器モジュールである。パッケージには比誘電率が 8 の低温焼成ガラスセラミックス基板を用いた。サイズは 6 mm x 6 mm で従来技術で用いられてきた 7 mm x 7 mm に対して小さくなっている。101 は金属キャップ、102 はチップ部品である。103 は電送線路で、Ag と Pt の積層膜を厚膜スクリーン印刷により形成している。105 は実施例 6 に示したモノリシック・マイクロ波集積回路で、その裏面は Ag ペーストによりグランド層 108 に電氣的に接続されている。105 の表面に配置された入出力用電極パッドはワイヤボンディング 104 によりチップ

外へ引き出されている。106はサーマルビア、107および109は108と同じグランド層である。本実施例によれば、実施例6で得られた放熱性がよく、チップ面積の小さなモノリシック・マイクロ波集積回路を用いたため、容積の小さな移動体電力増幅器モジュールを作製できる効果がある。また、従来のエミッタトップHBTでは問題だったワイヤボンディングに伴うエミッタインダクタンスの発生がなく、モノリシック・マイクロ波集積回路105の裏面は電氣的に安定なグランド層108に直結されるため、製造ばらつきがなく、高周波特性に優れた移動体電力増幅器モジュールを作製できる効果もある。

実施例8

図30は実施例8に示した本発明に係る半導体装置を適用した高出力増幅器モジュール(図29)を、携帯電話に代表される移動体通信機に用いた場合の構成を示すブロック図である。図30に示した移動体通信機では、通信相手からの受信電波(ここでは、0.8GHz乃至2GHzを想定)をアンテナ640で受ける。アンテナ640で受けた電波は、アンテナ共用器641を通して電気信号として受信部600に入る。受信部600に送られた電気信号は、まず低雑音増幅器611にて増幅される。増幅された0.8GHz乃至2GHzの信号は、例えば約500kHzの信号に変換される。この周波数変換に際しては、周波数シンセサイザ630で発生させた中間周波数が用いられ、受信ミキサ612で同期させることにより行われる。中間周波数に変換された信号は中間周波増幅器613にて増幅される。アンテナ640にて受信した信号は信号処理(振幅・周波数・位相の少なくともいずれか一つを変化させる処理)がなされているので、復調器614にて復調される。復調器614から出た信号は制御部650に送られる。制御部650に送られた信号は、その中で受信信号処理回路から受話器に送られて音声信号となる。逆に、音声信号を送信する場合には、制御部650内の送話器、送信信号処理装置を通して送信部601の変調器623に信号が送られて変調される。変調された信号は送信ミキサ622にて高周波化され、電力増幅器621にて増幅された後にアンテナ共用器641を通してアンテナ640から送信される。本発明に係る電力増幅器モジュールは送信部601の電力増幅器621に用いる。送信ミキサ622における高周波化には、周波数シンセサイザで発生させた0.8GHz乃至2GHzの高周波が用いられる。上記説明から明らかなように、周波数シンセサイザ630は複数の周波数を発生することができる。また、アンテナ共用器は送受信スイッチの役割を果たして、受信の際にはアンテナ640で受けた電波を電気信号として送り、送信の際には送信部601から送られてくる信号をアンテナ640に送る働きをする。本発明によれば、移動体通信機の中で最も消費電力の大きな電力増幅器の電力変

換効率が向上する結果、電池の一回の充電で使用できる通話時間を従来技術以上に長くできる効果がある。

実施例9

図33はエミッタ接地ミリ波帯増幅器の回路図である。エミッタはグランドに直結されているのに対し、ベースおよびコレクタには電送線路が接続されている。図34は図33に示した回路構成を有する増幅器の38GHzにおける電力利得のコレクタフィンガー数依存性を示す実験結果である。従来技術によるコレクタトップHBTではエミッタインピーダンスの影響で、コレクタフィンガー数の増加とともに電力利得が低下した。それに対し、本発明に係るコレクタトップHBT、特に実施例3および4に示した裏面エミッタ電極を用いたコレクタトップHBTではエミッタインピーダンスが裏面エミッタ電極の接触抵抗に伴う微小抵抗のみである結果、電力利得はコレクタフィンガー数に依存せず、一定であった。本実施例によれば、必要な出力電力を得るのに要するコレクタフィンガー数が少なくて済むため、ミリ波帯においてチップ面積の小さな、低コスト、高電力利得増幅器を実現できる効果がある。

【0012】

【発明の効果】本発明によれば、コレクタトップHBTにおける電流増幅率のコレクタサイズ依存性を低減できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの縦断面構造図である。

【図2】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図3】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図4】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図5】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図6】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図7】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図8】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図9】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図10】本発明の第1の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図11】本発明の第2の実施例である半導体装置に用いたコレクタトップHBTの縦断面構造図である。

【図12】本発明の第2の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図13】本発明の第2の実施例である半導体装置に用

いたコレクタトップHBTの製造工程図である。

【図14】本発明の第2の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図15】本発明の第2の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図16】本発明の第2の実施例である半導体装置に用いたコレクタトップHBTの製造工程図である。

【図17】本発明の第3の実施例である半導体装置に用いたコレクタトップHBTの縦断面構造図である。

【図18】本発明の第4の実施例である半導体装置に用いたコレクタトップHBTの縦断面構造図である。

【図19】本発明の第4の実施例である半導体装置に用いたコレクタトップHBTの平面構造図である。

【図20】本発明の第4の実施例である半導体装置に用いたコレクタトップHBTの平面構造図である。

【図21】本発明の第5の実施例である半導体装置に用いたコレクタトップHBTの縦断面構造図である。

【図22】本発明の第6の実施例である半導体装置の縦断面構造図である。

【図23】2段増幅器の回路図である。

【図24】本発明の第6の実施例である半導体装置の製造工程図である。

【図25】本発明の第6の実施例である半導体装置の製造工程図である。

【図26】本発明の第6の実施例である半導体装置の製造工程図である。

【図27】本発明の第6の実施例である半導体装置の製造工程図である。

【図28】本発明の第6の実施例である半導体装置の製造工程図である。

【図29】本発明の第7の実施例である半導体装置の縦断面構造図である。

【図30】移動体通信機のブロック図である。

【図31】従来技術による電力増幅器に用いられていたコレクタトップHBTの縦断面構造図である。

【図32】従来技術および本発明に係る電力増幅器に用いたコレクタトップHBTにおける電流増幅率のコレク *

* タメササイズ依存性の測定結果を示す図である。

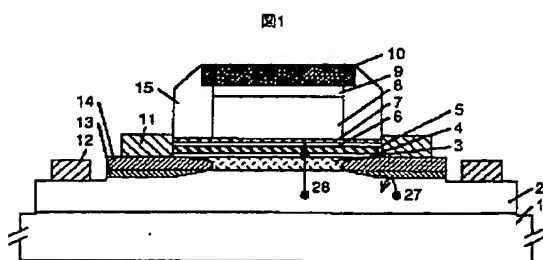
【図33】ミリ波帯エミッタ接地増幅器の回路図である。

【図34】従来技術および本発明に係るミリ波帯エミッタ接地増幅器における電力利得のコレクタフィンガー数依存性の測定結果を示す図である。

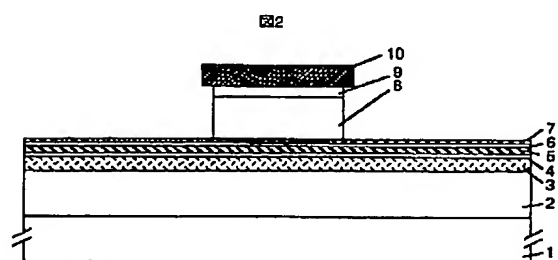
【符号の説明】

1…半導体基板、2…サブエミッタ層、3…エミッタ層、4…スペーサ層、5…ベース層、6…スペーサ層、7…エッチストップ層、8…コレクタ層、9…キャップ層、10…コレクタ電極、11…ベース電極、12…エミッタ電極、13…高抵抗サブエミッタ領域、14…高抵抗エミッタ領域、15…絶縁膜側壁、16…ホトレジストパタン、17…平坦化ホトレジスト、18…素子間分離領域、19…層間絶縁膜、20…コレクタ配線金属、21…エミッタ裏面アロイ電極、22…ダミーコレクタ電極、23…コレクタコンタクト孔、24…エミッタ電極裏面ノンアロイ電極、25…エッチストップ層、26…エミッタ裏面コンタクト層、27…伝導帯不連続により寄生エミッタへ進入できない電子、28…コレクタへ到達する電子、36…外部ベースで再結合する電子、51…打ち込みイオン、61…ドライバー段HBTおよび出力段HBT、62…バイアス回路用HBT、63…抵抗素子、64…インダクタンス素子、65…容量素子、71…第1層間絶縁膜、72…第2層間絶縁膜、73…第1配線金属、74…第2配線金属、75…絶縁膜、76…抵抗膜、101…金属キャップ、102…チップ部品、103…伝送線路、104…ボンディングワイヤ、105…モノリシック・マイクロ波集積回路、106…サーマルビア、107、108、109…グランド層、110…バイアス線路、600…受信部、601…送信部、611…低雑音増幅器、612…受信ミキサ、613…中間周波増幅器、614…復調器、621…電力増幅器、622…送信ミキサ、623…変調器、630…周波数シンセサイザ、640…アンテナ、641…アンテナ共用器、650…制御部。

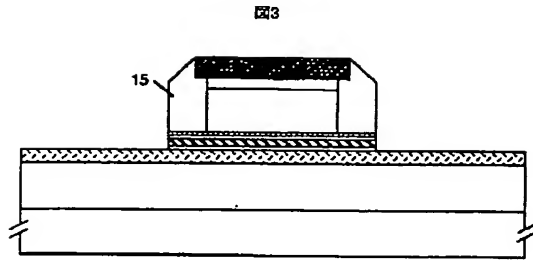
【図1】



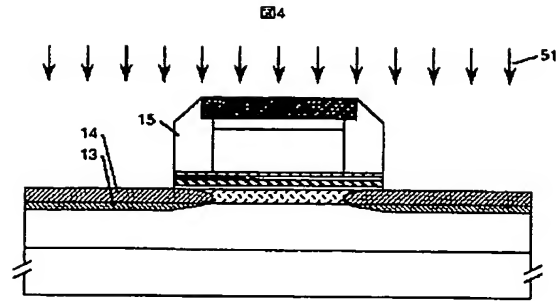
【図2】



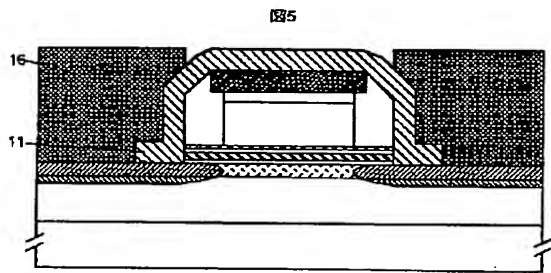
【図3】



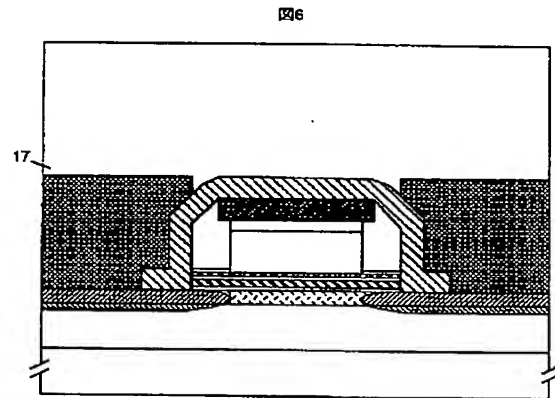
【図4】



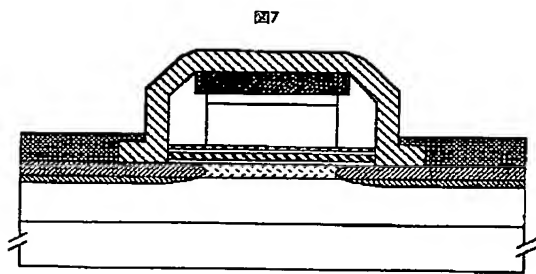
【図5】



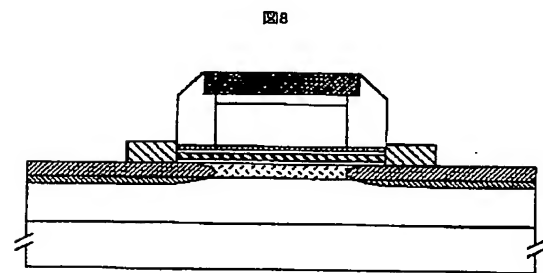
【図6】



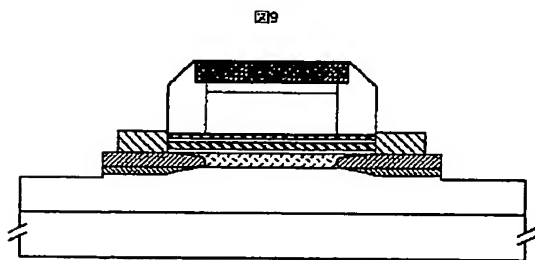
【図7】



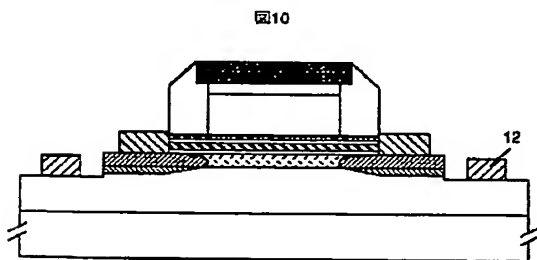
【図8】



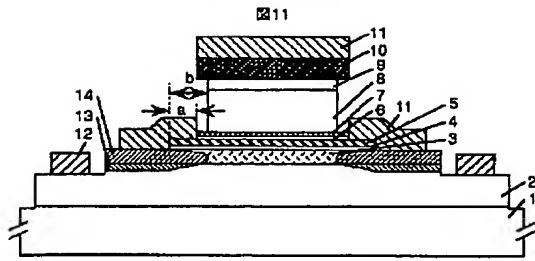
【図9】



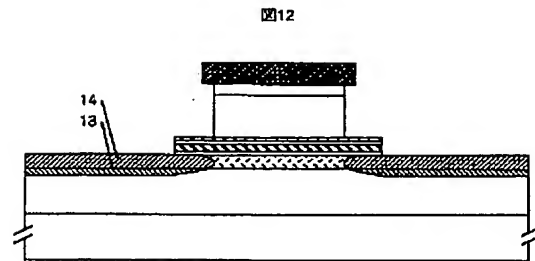
【図10】



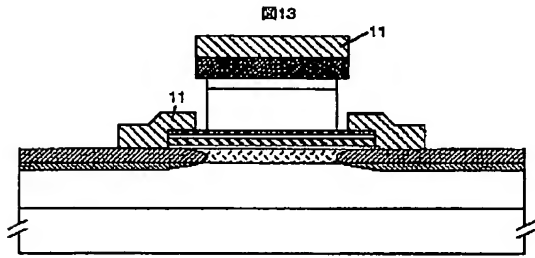
【図11】



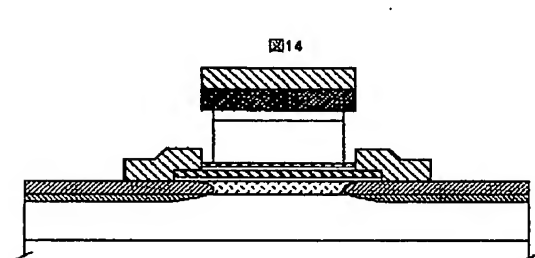
【図12】



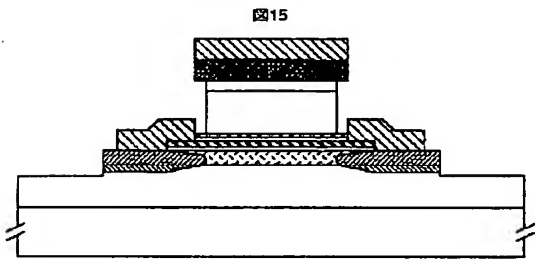
【図13】



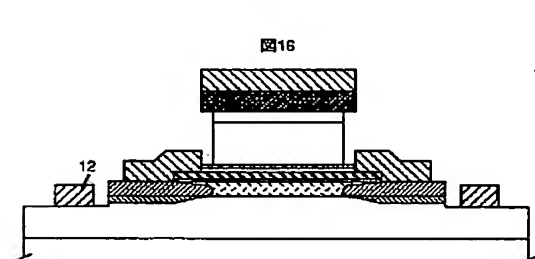
【図14】



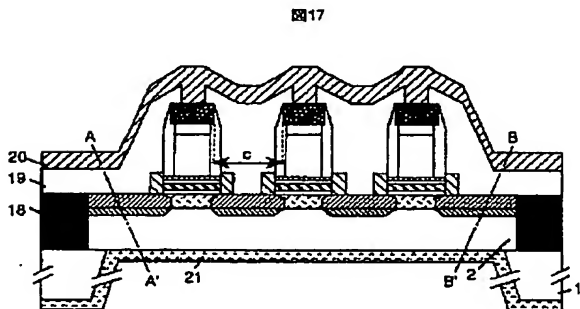
【図15】



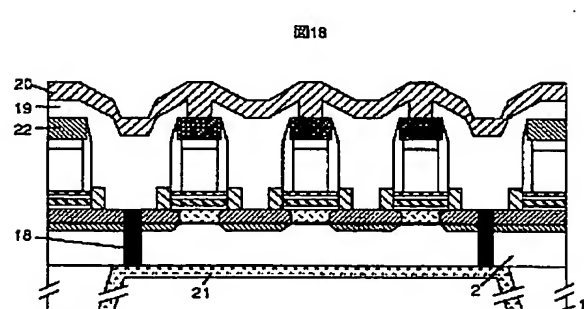
【図16】



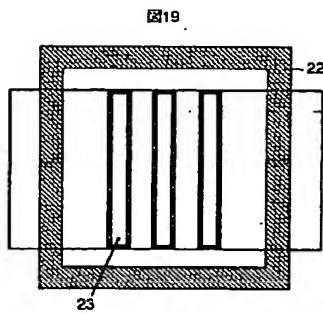
【図17】



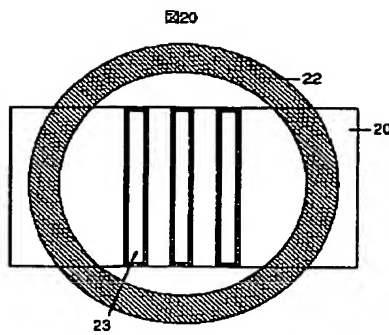
【図18】



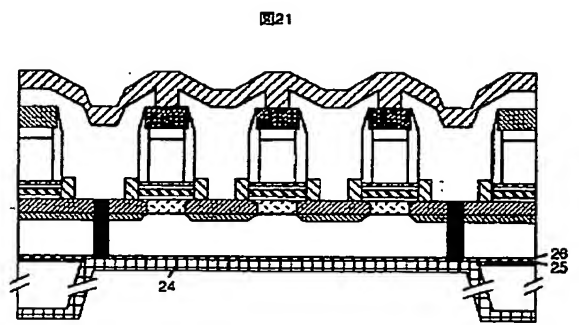
【図19】



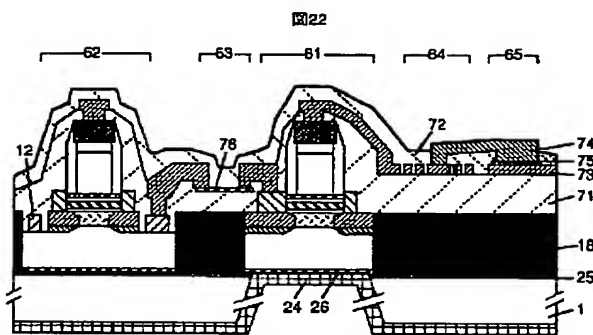
【図20】



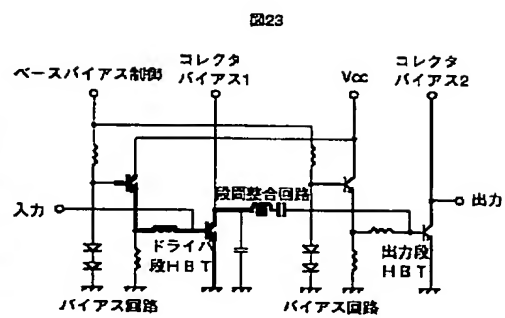
【図21】



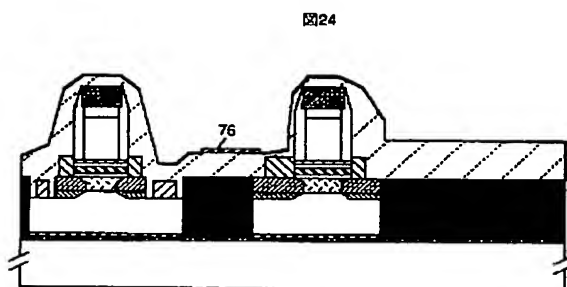
【図22】



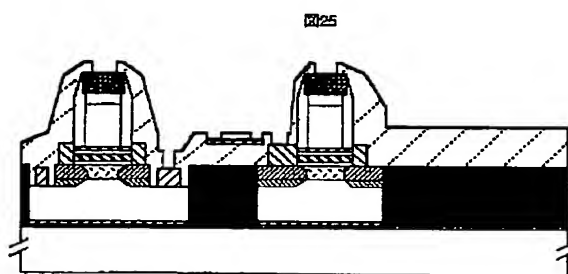
【図23】



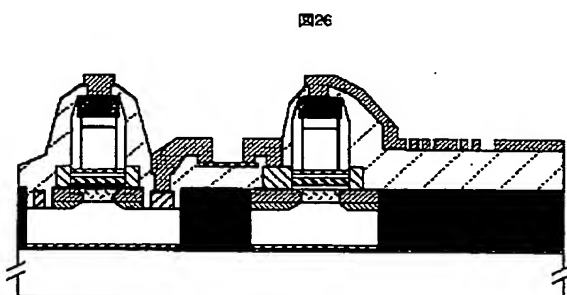
【図24】



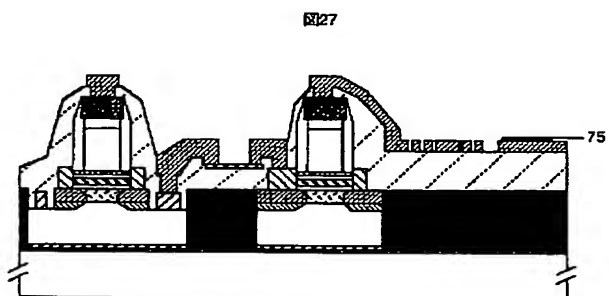
【図25】



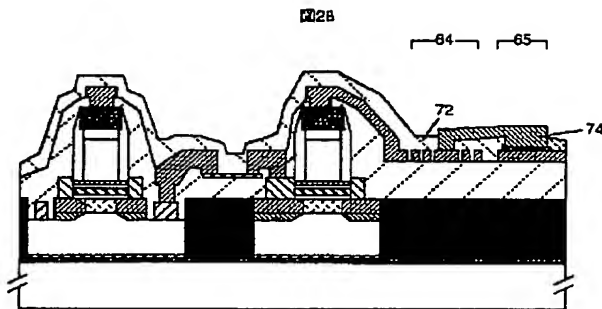
【図26】



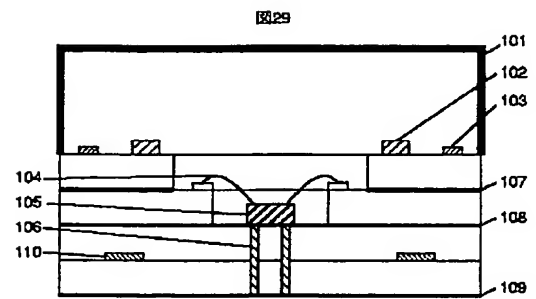
【図27】



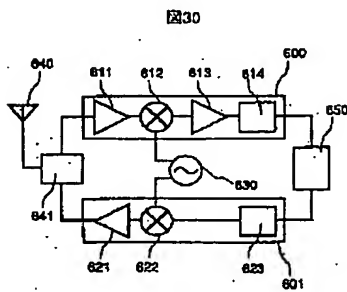
【図28】



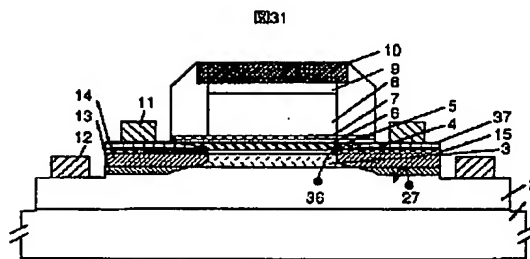
【図29】



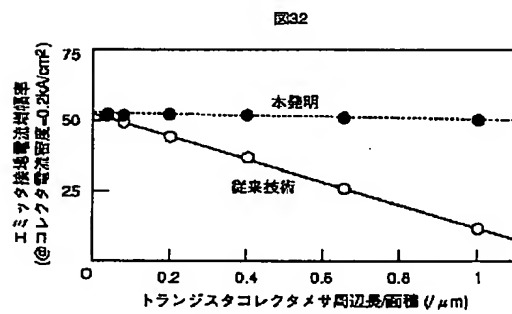
【図30】



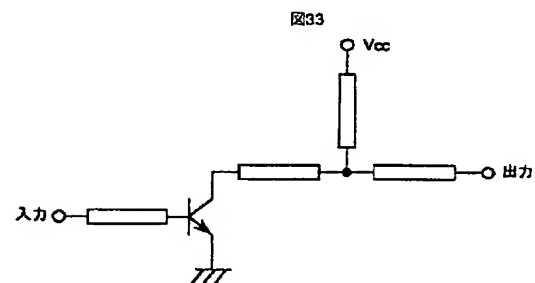
【図31】



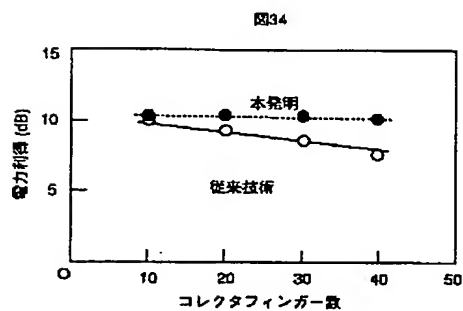
【図32】



【図33】



【図34】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

ターマコード (参考)

H O 1 L 21/8222

H O 1 L 29/52

27/06

29/41

H O 1 P 1/00

(72) 発明者 大部 功

F ターム (参考) 4M104 AA05 AA07 BB06 BB11 BB15

東京都国分寺市東恋ヶ窪一丁目280番地

BB28 CC01 DD04 DD34 DD35

株式会社日立製作所中央研究所内

DD37 DD65 DD68 DD72 DD78

(72) 発明者 山下 喜市

DD83 DD91 EE09 EE16 FF00

東京都国分寺市東恋ヶ窪一丁目280番地

FF02 FF11 FF13 FF27 GG00

株式会社日立製作所中央研究所内

GG06 GG18 HH00

5F003 AP04 AP05 BA11 BA92 BC08

BC90 BE02 BE90 BF06 BF90

BH01 BH02 BH07 BH08 BH18

BH99 BJ18 BJ20 BJ99 BM02

BM03 BP21 BP23 BP32 BP94

BP96 BS08

5F038 AC05 AC15 AV05 AZ03 AZ06

BE07 BH16 DF01 DF02 EZ02

EZ04 EZ20

5F082 AA13 AA25 BA21 BA35 BA36

BC03 BC13 BC18 BC20 CA02

CA03 DA02 DA03 EA09 EA14

EA18 EA23 FA20 GA04

5J011 CA15